

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 0 月 3 1 日  
Date of Application:

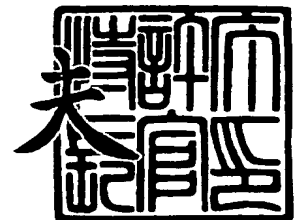
出 願 番 号                      特 願 2 0 0 3 - 3 7 2 2 6 5  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 7 2 2 6 5 ]

出 願 人                      沖電気工業株式会社  
Applicant(s):

2 0 0 3 年 1 2 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願  
【整理番号】 OH003867  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 25/065  
H01L 25/18  
【発明者】  
    【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内  
    【氏名】 佐伯 吉浩  
【特許出願人】  
    【識別番号】 000000295  
    【氏名又は名称】 沖電気工業株式会社  
【代理人】  
    【識別番号】 100085419  
    【弁理士】  
    【氏名又は名称】 大垣 孝  
【手数料の表示】  
    【予納台帳番号】 012715  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9001068

**【書類名】 特許請求の範囲****【請求項 1】**

主面が方形状で形成される半導体チップであって、  
前記主面を構成する第 1 の辺と、  
前記第 1 の辺と対向する第 2 の辺と、  
前記第 1 の辺に沿って、前記主面に配置される複数の主電極パッドからなる主電極パッド群と、  
前記第 1 の辺及び前記主電極パッド群の間に配置される複数の第 1 電極パッドからなる第 1 電極パッド群と、  
前記第 2 の辺に沿って前記主面に配置される複数の第 2 電極パッドからなる第 2 電極パッド群と、  
前記主電極パッド及び前記第 1 電極パッドを接続する第 1 パッド間配線と、  
前記主電極パッド及び前記第 2 電極パッドを接続する第 2 パッド間配線とを具備していることを特徴とする半導体チップ。

**【請求項 2】**

前記第 1 パッド間配線及び前記第 2 パッド間配線は、前記半導体チップの主表面に設けられていることを特徴とする請求項 1 に記載の半導体チップ。

**【請求項 3】**

前記第 1 パッド間配線及び前記第 2 パッド間配線は、前記半導体チップ内に設けられていることを特徴とする請求項 1 に記載の半導体チップ。

**【請求項 4】**

前記第 1 パッド間配線及び前記第 2 パッド間配線のいずれか一方又は両方は、多層配線構造を有していることを特徴とする請求項 3 に記載の半導体チップ。

**【請求項 5】**

主面が方形状で形成される半導体チップであって、  
前記主面を構成する第 1 の辺と、  
前記第 1 の辺と対向する第 2 の辺と、  
前記第 1 の辺に沿って、前記主面に配置される複数の主電極パッドからなる主電極パッド群と、  
前記第 1 の辺及び前記主電極パッド群の間に配置される複数の第 1 電極パッドからなる第 1 電極パッド群と、  
前記第 2 の辺に沿って前記主面に配置される複数の第 2 電極パッドからなる第 2 電極パッド群と、  
前記主電極パッド及び前記第 1 電極パッド間を 1 対 1 の対応関係で接続するとともに、前記主電極パッド群及び前記第 1 電極パッド群とは非平行に前記主面に設けられている複数の変換型パッド間配線と、  
前記主電極パッド及び前記第 2 電極パッドを接続する第 2 パッド間配線と、  
前記第 1 主表面に配置されていて、前記主電極パッドと前記第 2 電極パッドとを 1 対 1 の対応関係で接続する複数の第 2 パッド間配線とを具備していることを特徴とする半導体チップ。

**【請求項 6】**

主面が方形状で形成される半導体チップであって、  
前記主面を構成する第 1 の辺と、  
前記第 1 の辺と対向する第 2 の辺と、  
前記第 1 の辺に沿って、前記主面に配置される 2 本のボンディングワイヤが接続できる広さの領域をそれぞれ有する複数の主電極パッドからなる主電極パッド群と、  
前記第 2 の辺に沿って前記主面に配置される複数の第 2 電極パッドからなる第 2 電極パ

ッド群と、

前記主電極パッド及び前記第2電極パッドを1対1の対応関係で接続する第2パッド間配線とを具えていることを特徴とする半導体チップ。

【請求項7】

前記主電極パッドは、2本のボンディングワイヤが接続できる広さの領域を有する矩形状であり、

該矩形の長尺方向は、前記第1の辺に直交する方向に延在しており、

前記ボンディングワイヤの一方が接続される、前記第1の辺側の第1部分主電極パッドと、前記ボンディングワイヤの他方が接続される第2部分主電極パッドとに分割されていることを特徴とする請求項6に記載の半導体チップ。

【請求項8】

前記主電極パッドは、前記第1部分主電極パッドと第2部分主電極パッドとの間を、当該主電極パッドの延在方向に直交する方向の幅が、該第1及び第2部分主電極パッドよりも狭い幅で接続する接続領域をさらに含むことを特徴とする請求項7に記載の半導体チップ。

【請求項9】

前記第2電極パッドは、2本のボンディングワイヤが接続できる面積を有する矩形状であって、該矩形の長尺方向が前記第2の辺に直交する方向に延在しており、前記ボンディングワイヤの一方が接続される前記第2の辺側の第1部分電極パッドと、

前記第1部分電極パッドに隣接し、かつ前記ボンディングワイヤの他方が接続される第2部分電極パッドとに分割されていることを特徴とする請求項8に記載の半導体チップ。

【請求項10】

前記第1電極パッドは、前記主電極パッドの数よりも少ない個数とされ、かつ前記第1パッド間配線は、複数の前記主電極パッドのうち、前記第2パッド間配線が接続されている電極パッドとは異なる電極パッドに接続されていることを特徴とする請求項9に記載の半導体チップ。

【請求項11】

前記主電極パッド群は、前記第1パッド間配線が接続されている電極パッドと、前記第2パッド間配線が接続されている電極パッドとが、交互に配列されているパッド群であることを特徴とする請求項10に記載の半導体チップ。

【請求項12】

前記主電極パッド及び前記主電極パッドと同数の前記第2電極パッドとを、互いに1つずつ接続するパッド間配線を具えていることを特徴とする請求項9に記載の半導体チップ。

【請求項13】

前記第1及び第2パッド間配線のいずれか一方または両方は、同一配線層内に形成されている配線であることを特徴とする請求項1から12のいずれか1項に記載の半導体チップ。

【請求項14】

前記半導体チップは多層配線構造を具えていて、前記第1及び第2パッド間配線のいずれか一方または双方は、ビアホールを埋め込む埋込みビアにより複数の配線層が接続される多層配線構造を有していることを特徴とする請求項1から13のいずれか1項に記載の半導体チップ。

【請求項15】

前記主電極パッド群の下側近傍の領域内には、応力に弱い回路素子を集積してあることを特徴とする請求項1から14のいずれか1項に記載の半導体チップ。

【請求項16】

第1ボンディングパッドが形成される第1の領域と、第2ボンディングパッドが形成される第2の領域と、該第1の領域及び該第2の領域の間に存在する第3の領域とを有する

主表面を有する基板と、

前記主表面の前記第3の領域に積層されるか、又は前記第3領域に積層されている別の半導体チップにさらに搭載される同一構造の複数の半導体チップであって、該複数の半導体チップの各々は、方形状の主面を有し、該主面を構成する第1の辺、該第1の辺と対向する第2の辺、前記第1の辺に沿って、前記主面に配置される複数の主電極パッドからなる主電極パッド群、前記第1の辺及び前記主電極パッド群の間に配置される複数の第1電極パッドからなる第1電極パッド群、前記第2の辺に沿って前記主面に配置される複数の第2電極パッドからなる第2電極パッド群、前記主電極パッド及び前記第1電極パッドを接続する第1パッド間配線、及び前記主電極パッド及び前記第2電極パッドを接続する第2パッド間配線を有している前記半導体チップと、

前記第1ボンディングパッド及び前記第1電極パッドを電氣的に接続する第1ボンディングワイヤと、

前記半導体チップの前記主電極パッド及び前記半導体チップに搭載される別の半導体チップの第1電極パッドを電氣的に接続する第2のボンディングワイヤと、

前記半導体チップの前記主電極パッド及び前記半導体チップに搭載される別の半導体チップの主電極パッドを電氣的に接続する第3のボンディングワイヤとを具え、

前記第2ボンディングパッド及び前記第2電極パッドを電氣的に接続する第4ボンディングワイヤと、

前記複数の半導体チップは、それぞれの前記第1の辺を同一側に位置させ、それぞれの主面を同一方向に向け、かつ下側に位置する前記半導体チップの前記主電極パッド及び前記第1電極パッドを上側に位置する前記別の半導体チップの第1の辺よりも外側に位置させて、互いに積層されていることを特徴とする半導体装置。

#### 【請求項17】

第1ボンディングパッドが形成される第1の領域と、第2ボンディングパッドが形成される第2の領域と、該第1の領域及び該第2の領域の間に存在する第3の領域とを有する主表面を有する基板と、

前記主表面の前記第3の領域に積層されるか、又は前記第3領域に積層されている別の半導体チップにさらに搭載される同一構造の複数の半導体チップであって、方形状の主面を構成する第1の辺、該第1の辺と対向する第2の辺、前記第1の辺に沿って、前記主面に配置される複数の主電極パッドからなる主電極パッド群、前記第1の辺及び前記主電極パッド群の間に配置される複数の第1電極パッドからなる第1電極パッド群、前記第2の辺に沿って前記主面に配置される複数の第2電極パッドからなる第2電極パッド群、前記主電極パッド及び前記第1電極パッド間を1対1の対応関係で電氣的に接続するとともに、前記主電極パッド群及び前記第1電極パッド群とは非平行に前記主面に設けられている複数の変換型パッド間配線、前記主電極パッド及び前記第2電極パッドを1対1の対応関係で電氣的に接続する第2パッド間配線を具える半導体チップと、

前記第1ボンディングパッド及び前記第1電極パッドを電氣的に接続する第1ボンディングワイヤと、

前記半導体チップの前記主電極パッド及び前記半導体チップに搭載される別の半導体チップの主電極パッドを電氣的に接続する第2のボンディングワイヤと、

前記第2ボンディングパッド及び前記別の半導体チップの第2電極パッドを電氣的に接続する第3ボンディングワイヤとを具え、

前記複数の半導体チップは、それぞれの前記第1の辺を同一側に位置させ、それぞれの主面を同一方向に向け、かつ下側に位置する前記半導体チップの前記主電極パッド及び前記第1電極パッドを上側に位置する前記別の半導体チップの第1の辺よりも外側に位置させて、互いに積層されていることを特徴とする半導体装置。

#### 【請求項18】

第1ボンディングパッドが形成される第1の領域と、第2ボンディングパッドが形成される第2の領域と、該第1の領域及び該第2の領域の間に存在する第3の領域とを有する主表面を有する基板と、

前記主表面の前記第3の領域に積層されるか、又は前記第3領域に積層されている別の半導体チップにさらに搭載される同一構造の複数の半導体チップであって、方形状の主面を構成する第1の辺、該第1の辺と対向する第2の辺、前記第1の辺に沿って、前記主面に配置される2本のボンディングワイヤが接続できる広さの領域をそれぞれ有する矩形状であり、該矩形の長尺方向は、前記第1の辺に直交する方向に延在しており、前記第1の辺側の第1部分主電極パッド、及び第2部分主電極パッドに分割されている複数の主電極パッドからなる主電極パッド群、前記第2の辺に沿って前記主面に配置される複数の第2電極パッドからなる第2電極パッド群、前記主電極パッド及び前記第2電極パッドを1対1の対応関係で接続する第2パッド間配線を具えている半導体チップと、

前記第1ボンディングパッド及び前記第1部分主電極パッドを電氣的に接続する第1ボンディングワイヤと、

前記半導体チップの前記第2部分主電極パッド及び前記半導体チップの前記第3の領域上に搭載される別の半導体チップの第1部分主電極パッドを電氣的に接続する第2のボンディングワイヤと、

前記半導体チップの前記第2部分主電極パッド及び前記半導体チップの前記第3の領域上に搭載される別の半導体チップの第2部分主電極パッドを電氣的に接続する第3のボンディングワイヤと、

前記第2ボンディングパッド及び前記別の半導体チップの第2電極パッドを電氣的に接続する第4ボンディングワイヤとを具え、

前記複数の半導体チップは、それぞれの前記第1の辺を同一側に位置させ、それぞれの主面を同一方向に向け、かつ下側に位置する前記半導体チップの前記主電極パッド及び前記第1電極パッドを上側に位置する前記別の半導体チップの第1の辺よりも外側に位置させて、互いに積層されていることを特徴とする半導体装置。

#### 【請求項19】

前記半導体チップの主電極パッドは、前記第1部分主電極パッドと前記第2部分主電極パッドとの間を、当該主電極パッドの延在方向に直交する方向の幅が、該第1及び第2部分主電極パッドよりも狭い幅で接続する接続領域をさらに具えていることを特徴とする請求項18に記載の半導体装置。

#### 【請求項20】

第1ボンディングパッドが形成される第1の領域と、第2ボンディングパッドが形成される第2の領域と、該第1の領域及び該第2の領域の間に存在する第3の領域とを有する主表面を有する基板と、

方形状の主面を構成する第1の辺、該第1の辺と対向する第2の辺、前記第1の辺に沿って、前記主面に配置される2本のボンディングワイヤが接続できる広さの領域をそれぞれ有する矩形状であり、該矩形の長尺方向は、前記第1の辺に直交する方向に延在しており、前記第1の辺側の第1部分主電極パッド、及び第2部分主電極パッドに分割されている複数の主電極パッドからなる主電極パッド群、前記第2の辺に沿って前記主面に配置される複数の第2電極パッドからなる第2電極パッド群、前記主電極パッド及び前記第2電極パッドを1対1の対応関係で接続する第2パッド間配線を具え、前記主表面の前記第3の領域に積層される第1半導体チップと、

前記第1半導体チップと同一構造であって、前記第1半導体チップに搭載されている第2半導体チップと、

前記第1及び第2半導体チップと同一構造であって、前記第2半導体チップに搭載されている前記第3半導体チップと、

前記第1半導体チップの前記第1部分主電極パッド及び前記基板の前記第1ボンディングパッドを接続する第1ボンディングワイヤと、

前記第1半導体チップの第2部分主電極パッド及び前記第2半導体チップの第1部分主電極パッドを接続する第2ボンディングワイヤと、

前記第2半導体チップの第2部分主電極パッド及び前記第3半導体チップの第1部分主電極パッドを接続する第3ボンディングワイヤと、

前記第3半導体チップの第2電極パッド及び前記基板の前記第2ボンディングパッドを接続する第4ボンディングワイヤとを具え、

前記複数の半導体チップは、それぞれの前記第1の辺を同一側に位置させ、それぞれの主面を同一方向に向け、かつ下側に位置する前記半導体チップの前記主電極パッド及び前記第1電極パッドを上側に位置する前記別の半導体チップの第1の辺よりも外側に位置させて、互いに積層されていることを特徴とする半導体装置。

【請求項21】

前記第2電極パッドは、前記第1部分電極パッドと第2部分電極パッドとの間を、前記第2電極パッドの延在方向に直交する方向の幅が、該第1及び第2部分電極パッドよりも狭い幅で接続する接続領域をさらに含むことを特徴とする請求項20に記載の半導体装置。

【請求項22】

第1ボンディングパッドが形成される第1の領域と、第2ボンディングパッドが形成される第2の領域と、該第1の領域及び該第2の領域の間に存在する第3の領域とを有する主表面を有する基板と、

方形状の主面を構成する第1の辺、該第1の辺と対向する第2の辺、前記第1の辺に沿って、前記主面に配置される2本のボンディングワイヤが接続できる広さの領域をそれぞれ有する矩形状であり、該矩形の長尺方向は、前記第1の辺に直交する方向に延在しており、前記第1の辺側の第1部分主電極パッド及び第2部分主電極パッドに分割されている複数の主電極パッドからなる主電極パッド群、前記第2の辺に沿って、前記主面に配置される2本のボンディングワイヤが接続できる広さの領域をそれぞれ有する矩形状であり、該矩形の長尺方向は、前記第2の辺に直交する方向に延在しており、前記第2の辺側の第1部分電極パッド及び第2部分電極パッドに分割されている複数の第2電極パッドからなる第2電極パッド群、前記主電極パッド及び前記第2電極パッドを1対1の対応関係で接続する第2パッド間配線を具え、前記主表面の前記第3の領域に積層される第1半導体チップと、

前記第1半導体チップと同一構造であって、前記第3の領域に搭載されている第2半導体チップと、

前記第1及び第2半導体チップと同一構造であって、前記第1半導体チップに搭載されている第3半導体チップと、

前記第1、第2及び第3半導体チップと同一構造であって、前記第2半導体チップに搭載されている第4半導体チップと、

前記第1、第2、第3及び第4半導体チップと同一構造であって、前記第3及び第4半導体チップにまたがって搭載されている第5半導体チップと、

前記第1半導体チップの前記第1部分主電極パッド及び前記基板の前記第1ボンディングパッドを接続する第1ボンディングワイヤと、

前記第1半導体チップの前記第2部分主電極及び前記第3半導体チップの第1部分主電極パッドを接続する第2ボンディングワイヤと、

前記第3半導体チップの第2部分主電極パッド及び前記第5半導体チップの第1部分主電極パッドを接続する第3ボンディングワイヤと、

前記第5半導体チップの第1部分電極パッド及び前記第4半導体チップの第2部分電極パッドを接続する第4ボンディングワイヤと、

前記第4半導体チップの第1部分電極パッド及び前記第2半導体チップの第2部分電極パッドを接続する第5ボンディングワイヤと、

前記第2半導体チップの第1部分電極パッド及び前記基板の前記第2ボンディングパッドを接続する第6ボンディングワイヤとを具え、

前記第1及び第2の半導体チップは、それぞれの前記第1の辺を同一側に向けて直列にそれぞれの主面を同一方向に向けて前記第3の領域に積層され、前記第3及び第4の半導体チップは、下側に位置する前記第1及び第2の半導体チップの主電極パッド及び第1電極パッドを上側に位置する別の半導体チップの第1の辺よりも外側に位置させて積層され

、前記第 5 のチップは、前記第 3 チップの主電極パッド及び第 1 電極パッド並びに前記第 4 半導体チップの第 2 電極パッドを露出して積層されていることを特徴とする半導体装置。

【請求項 23】

前記主電極パッドは、前記第 1 部分主電極パッドと第 2 部分主電極パッドとの間を、当該主電極パッドの延在方向に直交する方向の幅が、該第 1 及び第 2 部分主電極パッドよりも狭い幅で接続する接続領域をさらに具えていることを特徴とする請求項 22 に記載の半導体装置。

【請求項 24】

前記第 2 電極パッドは、前記第 1 部分電極パッドと第 2 部分電極パッドとの間を、前記第 2 電極パッドの延在方向に直交する方向の幅が、該第 1 及び第 2 部分電極パッドよりも狭い幅で接続する接続領域をさらに具えていることを特徴とする請求項 23 に記載の半導体装置。

【請求項 25】

前記主電極パッドと前記主電極パッドと同数の前記第 2 電極パッドとを、互いに 1 つずつ接続するパッド間配線を具えていることを特徴とする請求項 22 に記載の半導体装置。

【請求項 26】

前記主電極パッド群の下側近傍の領域内には、応力に弱い回路素子が集積されていることを特徴とする請求項 16 から 21 のいずれか 1 項に記載の半導体装置。

【請求項 27】

前記基板には、前記第 1 表面から前記第 2 表面に至るビアホール及び当該ビアホールを埋め込んで前記複数の第 1 及び第 2 ボンディングパッドに接続されるビアと、該ビアに接続される外部端子が設けられていて、前記基板上に全てのボンディングワイヤを封止する封止部を具えていることを特徴とする請求項 16 ～ 26 のいずれか一項に記載の半導体装置。

【書類名】明細書

【発明の名称】半導体チップ及び半導体装置

【技術分野】

【0001】

この発明は、半導体チップ及び半導体装置に関し、特に複数個積層可能な構成を具えた半導体チップ、当該半導体チップが複数個積層されてなる半導体装置に関する。

【背景技術】

【0002】

半導体装置の多機能化を図ることを目的として、複数個の半導体チップを積層する半導体チップ積層型パッケージが知られている。

【0003】

このような半導体チップ積層型パッケージの一例として、スタック型マルチチップパッケージが存在する。スタック型マルチチップパッケージとは、複数個の半導体チップを重ね合わせて基板上に搭載し、これら半導体チップの電極パッドをそれぞれ基板上に設けられている電気接続部にボンディングワイヤを用いて接続する構成を有している。

【0004】

スタック型マルチチップパッケージにおいて、ワイヤボンディングで接続可能な範囲を越えて、半導体チップと回路基板とを電氣的に接続することを目的として、ある半導体チップの電極パッドを他の半導体チップの電極パッドに中継するための中継用電極パッドを予め設けておく構成が知られている（例えば、特許文献1参照。）。

【0005】

また、半導体チップ積層パッケージの生産性の向上を目的として、同一構造かつ同一機能を有する複数個の半導体チップを、それぞれの半導体チップの電極パッドの配置位置がずれるように、半導体チップを少しずつずらして積層する構成が知られている（例えば特許文献2参照。）。

【0006】

さらにまた、半導体チップの外形の大きさやボンディングパッドの配置が、互いに異なる2個の半導体チップを積層するために、2つの半導体チップ間に、配線がその表面側に形成されている配線シートを挟み込む構成が知られている（例えば特許文献3参照。）。

【0007】

加えて、複数個の半導体チップを積層するに際し、下側に配置される半導体チップの電極パッドを、通常の電極パッドよりも大きめに形成し、かつ半導体チップの端縁に沿って長い矩形状に形成する構成が知られている（例えば特許文献4参照。）。

【0008】

この大きめに形成されている電極パッドには、上側に配置されている半導体チップの電極パッドと接続されるボンディングワイヤと、下側に配置されている半導体チップのさらに下側に配置されている絶縁性基板に形成されている電極パッドと接続されるボンディングワイヤとが接続されている。

【特許文献1】特開2001-196529号公報

【特許文献2】特開2001-298150号公報

【特許文献3】特開2001-7278号公報

【特許文献4】特開2002-110898号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述した特許文献1及び特許文献4の構成の電極パッドは、半導体チップの端縁に沿って延在させて配置されている。従って、半導体チップに形成される電極パッド数が制限されてしまう。

【0010】

特許文献2の構成によれば、リードと複数の半導体チップとは、それぞれが直接的にワ

ワイヤにより接続されている。従って、各ワイヤが長くなってしまい、ワイヤ流れによるワイヤ同士の短絡や断線などが発生する恐れがある。

【0011】

特許文献3の構成によれば、別途、配線シートを準備し、これを挟み込む工程がさらに必要になってしまう。

【0012】

従来の同一機能かつ同一構造の半導体チップを積層する半導体チップ積層型パッケージでは、上側に配置されている半導体チップの電極パッドと、基板とが直接的にボンディングワイヤで接続される。従って、いわゆるワイヤ流れによって、ボンディングワイヤ同士が接触して短絡し、装置の誤動作を引き起こしてしまう恐れがある。

【0013】

また、ボンディングワイヤ同士の接触による短絡を防止するために、ボンディングワイヤの長さを、パッケージの高さ方向で互いに異なる長さとして3次元的に複数のボンディングワイヤ同士の接触を回避している。しかしながら、このような構成とすればパッケージの厚みが増してしまう。

【課題を解決するための手段】

【0014】

この発明は、上記課題に鑑みてなされたものである。上述した課題を解決するにあたり、この発明の半導体チップは、下記のような構成上の特徴を有している。

【0015】

すなわち、半導体チップは、方形状で形成される主面を有している。主面は、第1の辺と、第1の辺と対向する第2の辺を具えている。

【0016】

半導体チップは、第1の辺に沿って、主面に配置される複数の主電極パッドからなる主電極パッド群と、第1の辺及び主電極パッド群の間に配置される複数の第1電極パッドからなる第1電極パッド群と、第2の辺に沿って主面に配置される複数の第2電極パッドからなる第2電極パッド群とを具えている。

【0017】

半導体チップは、主電極パッド及び第1電極パッドを接続する第1パッド間配線と、主電極パッド及び第2電極パッドを接続する第2パッド間配線とを具えている。

【0018】

加えて、この発明は、このような構成を有する半導体チップを複数個積層した半導体装置にも関する。

【発明の効果】

【0019】

この発明の半導体チップの構成によれば、第1の辺近傍に設けられている主電極パッドから出力される信号を第1の辺に沿って設けられている第1電極パッド及び第2の辺に沿って設けられている第2電極パッドに出力することができる。

【0020】

従って、この発明の半導体チップを複数個積層する場合に、異なる半導体チップの電極パッドを信号の出力に使用することができるので、複数のボンディングワイヤ同士が3次元的に重なることがなく、複数のボンディングワイヤ同士の接触を防止することができる。従って、複数の半導体チップが積層されている半導体装置の誤動作を防止することができる。

【0021】

また、それぞれのボンディングワイヤの長さを、個々の半導体チップの電極パッドを基板のボンディングパッドと接続する場合と比較して、短くすることができる。従って、半導体装置、すなわちパッケージの厚みをより薄くすることができる。

【発明を実施するための最良の形態】

【0022】

以下、図面を参照して、この発明の実施の形態につき説明する。なお、図面には、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係が概略的に示されているに過ぎず、これによりこの発明が特に限定されるものではない。また、以下の説明において、特定の材料、条件及び数値条件等を用いることがあるが、これらは好適例の1つに過ぎず、従って、何らこれらに限定されない。

#### 【0023】

なお、この発明の半導体チップ及び半導体チップを積層した半導体装置の製造工程は、従来公知の材料を用いて、従来公知の製造工程により形成できる。従って、これらの詳細な説明は省略する場合もある。

#### 【0024】

以下に説明する各実施の形態の半導体チップ及び半導体装置の構成要素は、3桁の数字からなる符号を付して説明されるが、百の位の数字は各実施の形態の番号に対応させてある。従って下二桁の数字が一致する場合には、これらは同一の構成要素である。この場合には、重複する詳細な説明は省略する場合もある。

#### 【0025】

〈第1の実施の形態〉

この発明の第1の実施の形態の半導体チップ110の構成例について、図1を参照して説明する。

#### 【0026】

図1(A)は、半導体チップ110の構成要素の配置関係を説明するための概略的な斜視図である。

#### 【0027】

図1(B)は、図1(A)のI-I'で示した一点破線で切断した切り口を示す模式的な図である。また、図1(C)は、図1(A)のII-II'で示した一点破線で切断した切り口を示す模式的な図である。

#### 【0028】

1-1. 半導体チップの構成

第1の実施の形態の半導体チップ110は全体的に直方体の形状を有していて、主面110aと、この主面110aと対向する第2の主面110bを含んでいる。

#### 【0029】

半導体チップ110の主面110a側の、互いに対向する端縁を、それぞれ第1の辺111aと、第2の辺111bとし、かつ互いに対向する側縁をそれぞれ111c及び111dとする。

#### 【0030】

この主面110aには、複数の主電極パッド112が主電極パッド群112Xとして設けられている。主電極パッド群112Xは、第1の端縁111aの近傍に、かつ第1の端縁111aに対して平行に設けられていて、それぞれの電極パッドは、互いに、所定の距離だけ離間されて配列されている。この例では8個の電極パッドが等間隔で配列されている。

#### 【0031】

また、主面110aには、第1電極パッド群114Xが設けられている。第1電極パッド114Xは、主電極パッド群112Xと第1の辺111aとの間隙に、第1の辺111aに沿って、複数の電極パッド114が配列させて設けられている。

#### 【0032】

第1電極パッド114の個数は、この例では主電極パッド112の数より少ない数すなわち半分の個数である4個としてある。これらの第1電極パッド114は、等間隔で、かつ主電極パッド112のうち1つおきに配置されている電極パッドと対向して配列されている。各電極パッド114は、主電極パッド112の中心を通り、かつ側縁111cと平行な直線上に、中心を位置させてある。このとき、主面110aの第2の辺111b側には、第2電極パッド群116Xが設けられている。

**【0033】**

第2電極パッド群116Xは、複数の第2電極パッド116を第2の辺111bに沿って配列させている。第2電極パッド116は、この例ではこれら第2電極パッド116の個数を、主電極パッド112の数より少ない数すなわち半分の個数の4個としてある。これらの第2電極パッド116は、等間隔で、かつ第1電極パッド114が対向配置されていない、残り4つの主電極パッド112と対向して配列されている。このとき、各電極パッド116は、主電極パッド112の中心を通り、かつ側縁111cと平行な直線上に、中心を位置させてある。

**【0034】**

以下の説明において、半導体チップの第1及び第2の辺に対して平行な方向を半導体チップの短尺方向又は幅方向と称する。また、第1及び第2の辺に対して垂直な方向を長尺方向又は長さ方向と称する場合もある。

**【0035】**

主電極パッド112、第1電極パッド114及び第2電極パッド116のそれぞれの上記した個数は、これに何ら限定されるものではなく半導体チップの仕様に応じた個数及び間隔で設ければよい。

**【0036】**

これら3種類の電極パッドは、この例では、それぞれが同一寸法の正形状とされている。この大きさ及び形状は、ワイヤが金(Au)ボール等によりボンディングできる大きさ及び形状であれば特に限定されない。

**【0037】**

また、これら3種類の電極パッドの表面積は、例えばAuボール又はボンディングワイヤがボンディングできる面積と設定すればよい。

**【0038】**

これら3種類の電極パッドは、いずれも従来公知の導電性材料を用いて従来公知の製造工程により形成することができる。

**【0039】**

図1(A)、(B)及び(C)に示すように、この構成例の半導体チップ110は、主面及び第2の主面に垂直なその厚み方向で見たとき、その最下層125に素子形成領域が存在している。素子形成領域は、トランジスタ等の機能素子が作り込まれている領域である。

**【0040】**

最下層125上には、素子形成領域に作り込まれている機能素子同士の信号のやりとり又はこれらの機能素子から信号の出力或いはこれらの機能素子への信号の入力を行うための配線構造130が設けられている。

**【0041】**

この配線構造130は、いわゆる多層配線構造であって、埋込みコンタクト、埋込みウィア、複数の層間絶縁膜、複数の配線層等が含まれる。

**【0042】**

素子形成領域を含む最下層125上には、この素子形成領域と電氣的に接続される多層構造の配線層が配線構造130の一部として設けられている。この例では、最下層125の上側に、第1層間絶縁膜126を介在させて、第1配線層131が設けられているとともに、第1層間絶縁膜126及び第2層間絶縁膜127とを介在させて第2配線層133が設けられている。

**【0043】**

この第1層間絶縁膜126には、最下層125の素子形成領域と電氣的な導通をとるためのコンタクトホール及びこのコンタクトホールを埋め込む埋込みコンタクトが設けられている(いずれも図示せず。)

**【0044】**

この例の半導体チップでは、素子形成領域に形成されている機能素子に、このコンタク

ト、ビア、多層配線構造等により直接的に接続されているのは、主電極パッドである。

【0045】

第2層間絶縁膜127は、第1配線層131上に、形成されている。

【0046】

第2層間絶縁膜127には、第1配線層131と導通をとるためのビアホール122及びこのビアホール122を埋め込んで第1配線層131と接続される埋込みビア124が形成されている。

【0047】

第2層間絶縁膜127上には、埋込みビア124と電氣的に接続される第2配線層133が形成されている。第2配線層133上には、第3層間絶縁膜128が形成されている。

【0048】

第3層間絶縁膜128には、第2配線層133と導通をとるためのビアホール122及びこのビアホール122を埋め込んで第2配線層133と接続される埋込みビア124が形成されている。

【0049】

この第3層間絶縁膜128に形成されている埋込みビア124には、上述した主電極パッド112、第1電極パッド114及び第2電極パッド116が接続される。これらの3種類の電極パッドが形成されている第3層間絶縁膜128上には、これら3種類の電極パッドの一部分を露出させて絶縁膜129が形成されている。

【0050】

主電極パッド112及びこれと隣接する第1電極パッド114は、第1パッド間配線132により接続されている。この第1パッド間配線132は、この例では第2配線層133として形成される複数の配線のうちの一部として設けられている。

【0051】

また、主電極パッド112及び第2電極パッド116は、第2パッド間配線134により接続されている。

【0052】

第1パッド間配線132及び第2パッド間配線134は、なるべく短い長さ、すなわち直線状パターンとするのが好ましい。しかしながら、ビアホール等の障害物が、接続されるべきパッド間に存在してしまう場合もある。

【0053】

そのような場合には、第1パッド間配線132及び第2パッド間配線134のいずれか一方又は双方を同一配線層内で適宜屈曲させたパターンにより2次元的に障害物を迂回して回避する構成とすればよい。

【0054】

また、ビアホール及びこのビアホールを埋め込む埋込みビアにより上側又は下側の配線層に3次元的に障害物を回避する構成とすればよい。

【0055】

特に図1(C)に示すように、この例では、第2パッド間配線134は、第2配線層133として形成される複数の配線の一部である第1部分配線134a、第1配線層131として形成される複数の配線の一部である第2部分配線134b、及び第2配線層133として形成される複数の配線の一部である第3部分配線134cを含んでいる。

【0056】

第1部分配線134aの一端部は、第3層間絶縁膜128に設けられている埋込みビア124を経由して、主電極パッド112と接続されている。

【0057】

第1部分配線134aの他端部は、第2層間絶縁膜127に設けられている埋込みビア124を経由して、第2部分配線134bの一端部と接続されている。

【0058】

第2部分配線134bの他端部は、第2層間絶縁膜127に設けられている埋込みビア124を経由して、第2電極パッド116と接続されている。

【0059】

このように、ビアホール中の埋込みビアを用いて3次元的に迂回させて電極パッド間を接続する場合には、埋込みビアが電氣的な抵抗となってしまうので、好ましくは同一配線層に形成される配線をなるべく長い配線として形成するのがよい。具体的には、例えば、第1部分配線134aを第2配線層133内であるべく長くなるように形成すればよい。このようにすれば配線抵抗をより低減することができる。

【0060】

この例の半導体チップは、パッド間配線を多層配線構造として、半導体チップ内に設ける例を説明したが、主面に設ける構成とすることもできる。また、電極パッドと同一層内に設ける構成とすることもできる。

【0061】

配線構造130は、従来公知の任意好適な材料及び任意好適なプロセスにより形成することができる。

【0062】

このように、第1及び第2パッド間配線132及び134は、配線構造130の形成プロセスのうち、配線層の形成工程で形成される。

【0063】

この構成例の半導体チップは、積層用半導体チップであって積層されるべき、複数の当該半導体チップは、互いに同一の機能と同一の形態とを有している。

【0064】

従って、この構成例の半導体チップには、他の半導体チップが積層されたときに当該他の半導体チップから露出する第1領域（露出領域）と、当該他の半導体チップが接している第2領域（積層領域）とが設定される。

【0065】

これら露出領域と積層領域とが半導体チップの主面上で占める割合は、半導体チップの仕様、積層条件等を考慮して任意好適な割合と設定すればよい。

【0066】

例えば、図1の構成例を例にとりて説明すると、主電極パッド群112X及び第1電極パッド群114Xを含む領域である露出領域120aと、露出領域120aに隣接する第2電極パッド群を含む領域である積層領域120bが設定されている。これら露出領域120a及び積層領域120bは、上述したように回路素子、多層配線構造及び電極パッドが形成されるいわゆるアクティブ領域（120）に相当する。

【0067】

例えば、この半導体チップは、積層してマルチチップパッケージを構成するチップとして使用されることが想定されている。

【0068】

従って、回路素子形成領域は、半導体チップが、例えばメモリチップである場合には、メモリセルアレイ、このメモリセルアレイを囲むように接続されている制御回路等の周辺回路、アンプ回路等を含むアナログ回路、ヒューズ列を含む冗長回路等を具えている。これらのうち、特にその上側に他の半導体チップが積層されることによる応力により誤作動を起こす恐れがあるアナログ回路については、好ましくは、主電極パッド群112X及び第1電極パッド群114Xの一方又は両方の下側近傍の領域、すなわち半導体チップ110の露出領域120a内に対応する素子形成領域内に集積して形成するのがよい。

【0069】

このような第1の実施の形態の半導体チップによれば、ある主電極パッド112は、第1の辺111a側に設けられている第1電極パッド114に、第1電極パッド間配線132を経て接続しており、又別のある主電極パッド112は第2の辺111b側に設けられている第2電極パッド116に、第2電極パッド間配線134を経由して接続されている。

。このため、主電極パッド112から出力される信号は、第1電極パッド114又は第2電極パッド116のいずれかに、すなわち別方向に割り振って出力することができる。

#### 【0070】

##### 1-2. 半導体装置

この発明の半導体装置は、同一構造の複数の半導体装置が積層されることを特徴としている。第1の実施の形態の半導体チップ110を積層した積層構造を有する半導体装置の構成例について、図2を参照して説明する。なお、基板上に搭載される複数の半導体チップはいずれも同一の構成であるので、便宜的にハイフン(ー)により数字を付してそれぞれの半導体チップを区別して説明する(以下の実施の形態においても同様である。)

#### 【0071】

図2(A)は、2つの半導体チップ110を積層した積層構造を有する半導体装置1000を説明するための概略的な斜視図である。

#### 【0072】

図2(B)は、図2(A)のIII-III'で示す一点破線で切断した切り口を示す模式的な図である。また、図2(C)は、図2(A)のIV-IV'で示した一点破線で切断した切り口を示す模式的な図である。

#### 【0073】

半導体装置1000は、基板100を最下層に含んでいる。基板100は、直方体形状を有していて、その第1表面101及びこの第1表面101に対向する第2表面103は、矩形状を有している。

#### 【0074】

基板100は、第1領域100a、第2領域100b及びこれら第1及び第2領域100a及び100bに挟まれて隣接する第3領域100cを有していて、第1主表面101には、第3領域100cに相当する領域に矩形状の半導体チップ搭載領域102が設けられている。半導体チップ搭載領域102は、第1の辺101a及びこの第1の辺101aと対向する第2の辺101b及びこれらを接続する2つの辺により画成されている。

#### 【0075】

具体的には、半導体チップ搭載領域102、すなわち第3領域100cは、その輪郭をこの領域に積層された全ての半導体チップを上側から見たときの複合的な輪郭が含まれる形状及び大きさとすればよい。

#### 【0076】

また、第1の辺101a及び第2の辺101bの長さ、すなわち基板100の幅は、搭載される半導体チップの幅に合わせてある。このようにすれば、パッケージ全体としての大きさをより小型化することができる。しかしながら、基板100の形状及び外形サイズは、任意好適なものとすることができる。

#### 【0077】

基板100の第1領域100aに相当する第1の表面101には、半導体チップ搭載領域102外の、第1の辺101aの外側の基板100の一方の端縁側の表面領域に第1の辺101aに平行に沿って、複数の第1ボンディングパッド104を等間隔に配列させて設けてある。

#### 【0078】

図2(C)に示すように、第1ボンディングパッド104の直下には、ビアホール106と、このビアホール106を埋め込む埋込みビア108が設けられている。この埋込みビア108には、外部端子109が接続されている。

#### 【0079】

さらに基板100の第2領域100bに相当する第1の表面101には、第3領域100cに相当する半導体チップ搭載領域102外に第2の辺101bに平行に沿って、複数の第2ボンディングパッド105を等間隔に配列させて設けてある。

#### 【0080】

同様に、図2(B)に示すように、第2ボンディングパッド105の直下には、ビア

ホール106と、このヴィアホール106を埋め込む埋込みヴィア108が設けられている。この埋込みヴィア108には、外部端子109が接続されている。

【0081】

この例では、外部端子109を金(Au)等の金属ボールとしてある。外部端子109の形状は、これに限定されず、例えばいわゆるランドとして形成することもできる。半導体装置1000は、この外部端子109を用いて、実装基板に実装される。

【0082】

上述した基板100の構成要素は、従来公知の任意好適な材料を選択することにより形成することができる。

【0083】

第1半導体チップ110-1は、第1ダイスボンド材152により、基板100の半導体チップ搭載領域102上に、第2主表面110b-1が接着されて搭載されている。

【0084】

第2半導体チップ110-2は、第2ダイスボンド材154により、第1半導体チップ110-1の積層領域120b-1上に、第2主表面110b-2が接着されて搭載されている。

【0085】

このとき、第1半導体チップ110-1の露出領域120a-1は、第2の半導体チップ110-2から露出する。

【0086】

すなわち、第2半導体チップ110-2は、第1半導体チップ110-1の長さ方向については、露出領域120a-1が露出するようにずらして、かつ第1半導体チップ110-1の幅方向については、第1半導体チップ110-1の輪郭に一致するように、第1半導体チップ110-1に搭載される。

【0087】

このとき、第1及び第2半導体チップ間の位置合わせを行うが、この位置合わせは、第2半導体チップ110-2の第1電極パッド114-2と、この電極パッドが接続される第1半導体チップ110-1の主電極パッド112-1とを結ぶ線が、第1及び第2半導体チップの第1の辺に対して直角に横切るように行う。

【0088】

これら第1及び第2ダイスボンド材152及び154は、従来公知の任意好適な積層構造形成用のダイスボンド材から選択することができる。

【0089】

基板100と第1半導体チップとを接着する第1ダイスボンド材152は、絶縁性であっても導電性であってもよい。また、2つの半導体チップ同士を接着する第2ダイスボンド材154は、絶縁性であって、下側の半導体チップにダメージを与えない低応力特性を有する任意好適なダイスボンド材から選択するのがよい。

【0090】

この構成例の半導体装置は、外部に出力する端子数を減ずることを目的として、第1及び第2半導体チップそれぞれの対応する同一電極パッド同士がボンディングワイヤによりそれぞれ接続される。

【0091】

第1ボンディングワイヤ142それぞれは、基板100の第1ボンディングパッド104と、第1半導体チップ110-1の第1電極パッド114-1とを接続する。それぞれの第1ボンディングパッド104とそれぞれの電極パッドとを1対1の関係で接続する第1ボンディングワイヤ142の長さは同一の長さである。

【0092】

第2ボンディングワイヤ144それぞれは、第1半導体チップ110-1の第1電極パッド114-1と接続されている主電極パッド112-1と、第2半導体チップ110-2の第1電極パッド114-2とを1対1の関係でそれぞれ接続する。第2ボンディング

ワイヤ144は、同一の長さの複数のワイヤを含んでいる。

【0093】

第3ボンディングワイヤ146それぞれは、第1半導体チップ110-1の第1電極パッド114-1と非接続の主電極パッド112-1と、第2半導体チップ110-2の第1電極パッド114-2とは非接続の主電極パッド112-2とを1対1の関係でそれぞれ接続する。それぞれのボンディングワイヤは、同一の長さのワイヤである。

【0094】

第4ボンディングワイヤ148それぞれは、第2半導体チップ110-2の第2電極パッド116-2と、基板100の第2ボンディングパッド105とを1対1の関係で接続する。それぞれのボンディングワイヤは、同一の長さである。

【0095】

なお、第1主電極パッド112と第1電極パッド114に対しては、同一の信号を出力したり、あるいはこれら電極パッドから信号を出力できるので、特に上述したような第2半導体チップ110-2の主電極パッド112-2にボンディングされるボンディングワイヤは、いずれも第1電極パッド114にボンディングすることもできる。

【0096】

上述した各ボンディングワイヤと各ボンディングパッド又は各電極パッドとの接続工程、すなわちボンディング工程は、好ましくは、金(Au)球を用いたボールボンディングで行うのがよい。

【0097】

ボンディング工程は、従来公知のボンディング装置を用いて、選択された任意好適な配線材料等に応じて、実施することができる。このボンディング工程は、熱圧着、超音波熱圧着等の任意好適な方法により行ってもよい。

【0098】

次に、図3を参照して、図2を参照して説明した第1の実施の形態の半導体装置のパッケージ例につき説明する。

【0099】

図3は、図2を参照して説明した半導体装置1000を封止樹脂により封止したパッケージ形態の構成例を説明するための図である。図3は、図2(B)と同じ位置で、半導体装置1000を切断した切断面を示す模式的な図である。

【0100】

基板100上に搭載されている第1及び第2半導体チップ110-1及び110-2、並びに第1、第2、第3及び第4ボンディングワイヤ142、144、146及び148は、封止部160により封止される。この封止部160は、従来公知のモールド樹脂、液状樹脂等の任意好適な材料を用いて、従来公知の工程により形成することができる。

【0101】

上述したように、基板100の第1及び第2ボンディングパッド105及び105の直下には、このビアホール106内を埋め込む埋込みビア108が設けられている。この埋込みビア108上には、第2表面103から突出する外部端子109が接続されている。この切断面では、1つの外部端子109しか示していないが、複数の外部端子109は、第2表面103側に、実際には点線で示すように、例えば、格子状に、形成されている。従って、図3に示す外部端子109は、いわゆるBGA(Ball Grid Array)である。また、BGAとする代わりに、複数の外部端子109をランドとして形成し、これらが例えば格子状に配列されるLGA(Land Grid Array)として形成することもできる。

【0102】

この基板100に搭載されている半導体チップから出力される信号は、例えば図示されていない基板100内の配線構造を経由して、図示されている外部端子109とは異なる1又は2以上の外部端子109に出力することができる。

【0103】

図2及び図3を参照して説明した半導体装置の構成例によれば、ボンディングワイヤをいずれもより短くできる。すなわち、ボンディングワイヤ同士の接触による電氣的な短絡は、効果的に防止される。従って、信頼性の高い半導体装置が提供できる。

#### 【0104】

##### 1-3. 動作

ここで、図2を再び参照して、半導体装置の動作につき説明する。

#### 【0105】

第1の実施の形態の半導体装置1000は、4つの経路で信号を外部装置に出力することができる。ここでは、半導体チップ110により生成される信号を、基板100に設けられている外部端子109に出力する例を説明する。

#### 【0106】

半導体チップ110に信号が入力される場合については、以下に説明する経路を逆方向に辿ればよいので、その説明はここでは省略する。また、半導体チップが出力する信号の名称を、説明を容易にするために、経路ごとに信号A、B、C、D、・・・、以下略、と順次に仮定して説明する（以下の実施の形態においても同様である。）。

#### 【0107】

##### 1) 第1の経路

第1の半導体チップ110-1の回路素子領域125-1で生成された信号Aは、配線構造130-1を経由して主電極パッド112-1に出力される。

#### 【0108】

次いで、主電極パッド112-1に出力された信号Aは、これに接続されている第1パッド間配線132-1を経由して、第1電極パッド114-1に出力される。

#### 【0109】

第1電極パッド114-1に出力された信号Aは、第1ボンディングワイヤ142を経由して、基板100の第1ボンディングパッド104に出力される。

#### 【0110】

第1ボンディングパッド104に出力された信号Aは、埋込みビア108を経由して外部端子109に出力される。

#### 【0111】

##### 2) 第2の経路

第2の半導体チップ110-2の回路素子領域125-2で生成された信号Bは、配線構造130-2を経由して主電極パッド112-2に出力される。

#### 【0112】

次いで、主電極パッド112-2に出力された信号Bは、これに接続されている第1パッド間配線132-2を経由して、第1電極パッド114-2に出力される。

#### 【0113】

第1電極パッド114-2に出力された信号Bは、第2ワイヤボンディングワイヤ144を経由して、第1半導体チップ110-1の主電極パッド112-1に出力される。

#### 【0114】

次いで、主電極パッド112-1に出力された信号Bは、これに接続されている第1パッド間配線132-1を経由して、第1電極パッド114-1に出力される。

#### 【0115】

第1電極パッド114-1に出力された信号Bは、第1ボンディングワイヤ142を経由して、基板100の第1ボンディングパッド104に出力される。

#### 【0116】

第1ボンディングパッド104に出力された信号Bは、埋込みビア108を経由して外部端子109に出力される。

#### 【0117】

##### 3) 第3の経路

第2の半導体チップ110-2の回路素子領域125-2で生成された信号Cは、配線

構造 130-2 を経由して主電極パッド 112-2 に出力される。

【0118】

次いで、主電極パッド 112-2 に出力された信号 C は、これに接続されている第 2 パッド間配線 134-2 を経由して、第 2 電極パッド 116-2 に出力される。

【0119】

第 2 電極パッド 116-2 に出力された信号 C は、第 4 ボンディングワイヤ 148 を経由して、基板 100 の第 2 ボンディングパッド 105 に出力される。

【0120】

第 2 ボンディングパッド 105 に出力された信号 C は、埋込みビア 108 を経由して外部端子 109 に出力される。

【0121】

4) 第 4 の経路

第 1 の半導体チップ 110-1 の回路素子領域 125-1 で生成された信号 D は、配線構造 130-1 を経由して主電極パッド 112-1 に出力される。

【0122】

主電極パッド 112-1 に出力された信号 D は、これに接続されている第 3 ボンディングワイヤ 146 を経由して、第 2 半導体チップ 110-2 の主電極パッド 112-2 に出力される。

【0123】

次いで、主電極パッド 112-2 に出力された信号 D は、これに接続されている第 2 パッド間配線 134-2 を経由して、第 2 電極パッド 116-2 に出力される。

【0124】

第 2 電極パッド 116-2 に出力された信号 D は、第 4 ボンディングワイヤ 148 を経由して、基板 100 の第 2 ボンディングパッド 105 に出力される。

【0125】

第 2 ボンディングパッド 105 に出力された信号 D は、埋込みビア 108 を経由して外部端子 109 に出力される。

【0126】

この実施の形態の半導体装置の構成によれば、第 1 及び第 2 半導体チップの主電極パッドから出力される信号を、第 1 の辺側に位置する基板の第 1 ボンディングパッド、又は第 1 の辺側に位置する基板の第 2 ボンディングパッドのいずれかに割り振って出力することができる。また、第 1 ボンディングパッド及び第 2 の双方から入力された信号を第 1 及び第 2 半導体チップの主電極パッドに入力することができる。

【0127】

この実施の形態の半導体装置によれば、ボンディングワイヤの長さは、短く、かつ高さを低くすることができる。従って、ボンディングワイヤ同士の接触による短絡は、効果的に防止される。また、パッケージの厚みは、より薄くすることができる。

【0128】

〈第 2 の実施の形態〉

この発明の第 2 の実施の形態の半導体チップ 210 の構成例について、図 4 を参照して説明する。

【0129】

図 4 (A) は、半導体チップ 210 の構成要素の配置関係を説明するための概略的な斜視図である。

【0130】

図 4 (B) は、図 4 (A) の I-I' で示した一点破線で切断した切り口を示す模式的な図である。また、図 4 (C) は、図 4 (A) の II-II' で示した一点破線で切断した切り口を示す模式的な図である。

【0131】

2-1. 半導体チップの構成

第2の実施の形態の半導体チップ210は、第1主電極パッド212と第1電極パッド214との接続関係にのみ特徴を有し、他の構成要素は第1の実施の形態の半導体チップ110と同一である。従って、以下、この接続関係に主眼をおいて説明し、第1の実施の形態と同一の構成については下二桁が同一となる符号を付してその詳細な説明を省略する。

#### 【0132】

主電極パッド群212Xを構成する主電極パッド212は、変換回路部236を経由して第1電極パッド群214Xと接続されている。

#### 【0133】

ここで、変換回路部236の構成につき、図5を参照して説明する。図5は、図4(A)に示した構成のうち、特に主電極パッド群212X、変換回路部236及び第1電極パッド群214Xの近傍の一部領域を拡大して示した部分拡大図である。図5(B)は、図5(A)中、A-A'で示す一点破線に沿って切断した切断面を示す模式的な図である。

#### 【0134】

図5(A)に示すように、主電極パッド212は、変換回路部236を経由して第1電極パッド群214Xと接続されている。この例では、変換回路部236は、第1変換配線236a、第2変換配線236b、第3変換配線236c及び第4変換配線236dを有する変換配線列236Xを含んでいる。

#### 【0135】

この構成例では、主電極パッド212は、第1主電極パッド212a、第2主電極パッド212b、第3主電極パッド212c、第4主電極パッド212d、第5主電極パッド212e、第6主電極パッド212f、第7主電極パッド212g及び第8主電極パッド212hを含んでいる。

#### 【0136】

第1電極パッド214は、第1電極パッド214a、第2電極パッド214b、第3電極パッド214c及び第4電極パッド214dを含んでいる。

#### 【0137】

この構成例では、第1主電極パッド212aは、略S字状に屈曲した形状を有する第1変換配線236aの一端部に接続されている。第1変換配線236aの他端部は第2電極パッド214bに接続されている。

#### 【0138】

第3主電極パッド212cは、略S字状に屈曲した形状を有する第2変換配線236bの一端部に接続されている。第2変換配線236bの他端部は第3電極パッド214cに接続されている。

#### 【0139】

第5主電極パッド212eは、略S字状に屈曲した形状を有する第3変換配線236cの一端部に接続されている。第3変換配線236cの他端部は第4電極パッド214dに接続されている。

#### 【0140】

第7主電極パッド212gは、略S字状に屈曲した形状を有する第4変換配線236dの一端部に接続されている。第4変換配線236dの他端部は、第1変換配線236a、第2変換配線236b及び第3変換配線236cをくぐって、第1電極パッド214aに接続されている。

#### 【0141】

すなわち、図5(B)に示すように、第1変換配線236a、第2変換配線236b及び第3変換配線236cは、第2配線層233の一部として形成される。第4変換配線236dは、第2配線層233より下層の第1配線層231の一部として形成される。

#### 【0142】

これらの変換配線の両端部は、図示されていないビアホール及び埋込みビアによりそれぞれ主電極パッド212及び第1電極パッド214と電氣的に接続される。

**【0143】**

第2の実施の形態の半導体チップの構成によれば、第1の実施の形態と同等の効果を得ることができる。加えて、主電極パッド212から出力される信号を任意に選択された第1電極パッド214に出力することができる。従って、第1電極パッドの配置位置は、既存の基板のボンディングパッドの配置位置に合わせて、任意の信号が出力されるよう最適化することができる。

**【0144】****2-2. 半導体装置**

この発明の第2の実施の形態の半導体チップ210を積層した積層構造を有する半導体装置の構成例について、図6及び図7を参照して説明する。

**【0145】**

図6(A)は、2つの半導体チップ210を積層した積層構造を有する半導体装置2000を説明するための概略的な斜視図である。

**【0146】**

図6(B)は、図6(A)のIII-III'で示す一点破線で切断した切り口を示す模式的な図である。また、図6(C)は、図6(A)のIV-IV'で示した一点破線で切断した切り口を示す模式的な図である。

**【0147】**

図7は、図6(A)中に示す半導体装置2000の破線Hで囲んで示した部分領域の拡大図である。

**【0148】**

積層構造の積層形態については、第1の実施の形態の半導体装置と同様であるので、その詳細な説明は省略する。

**【0149】**

ここで、各ボンディングワイヤと各電極パッド又は各ボンディングパッドとの接続関係を説明する。

**【0150】**

第1ボンディングワイヤ242は、第1半導体チップの第1電極パッド214-1と基板100の第1ボンディングパッド204とを1対1の関係で接続するためのワイヤである。これら第1ボンディングワイヤ242は、同一の長さのワイヤである。

**【0151】**

第1ワイヤ242aは、基板200の第1ボンディングパッド204aと第1電極パッド214a-1とを接続している。

**【0152】**

第2ワイヤ242bは、基板200の第1ボンディングパッド204bと第2電極パッド214b-1とを接続している。

**【0153】**

第3ワイヤ242cは、基板200の第1ボンディングパッド204cと第3電極パッド214c-1とを接続している。

**【0154】**

第4ワイヤ242dは、基板200の第1ボンディングパッド204dと第4電極パッド214d-1とを接続している。

**【0155】**

これら第1から第4ワイヤ242aから242dは、第1ボンディングパッド204それぞれに対して最短距離となるように、かつ互いに接触して短絡を起こさないように、接続される。

**【0156】**

第2ボンディングワイヤ244は、第1半導体チップの主電極パッド212-1と第2半導体チップ210の主電極パッド212-2とを1対1の関係で接続するためのワイヤである。これら第2ボンディングワイヤ244は、同一の長さのワイヤである。

**【0157】**

この構成例では、図7に示すように、第2ボンディングワイヤ244として、第1ワイヤ244a、第2ワイヤ244b、第3ワイヤ244c、第4ワイヤ244d、第5ワイヤ244e、第6ワイヤ244f、第7ワイヤ244g及び第8ワイヤ244hを具えている。

**【0158】**

第1ワイヤ244aは、第1半導体チップ210-1の第1主電極パッド212a-1と、第2半導体チップ210-2の第1主電極パッド212a-2とを接続している。

**【0159】**

第2ワイヤ244bは、第1半導体チップ210-1の第2主電極パッド212b-1と、第2半導体チップ210-2の第2主電極パッド212b-2とを接続している。

**【0160】**

第3ワイヤ244cは、第1半導体チップ210-1の第3主電極パッド212c-1と、第2半導体チップ210-2の第3主電極パッド212c-2とを接続している。

**【0161】**

第4ワイヤ244dは、第1半導体チップ210-1の第4主電極パッド212d-1と、第2半導体チップ210-2の第4主電極パッド212d-2とを接続している。

**【0162】**

第5ワイヤ244eは、第1半導体チップ210-1の第5主電極パッド212e-1と、第2半導体チップ210-2の第5主電極パッド212e-2とを接続している。

**【0163】**

第6ワイヤ244fは、第1半導体チップ210-1の第6主電極パッド212f-1と、第2半導体チップ210-2の第6主電極パッド212f-2とを接続している。

**【0164】**

第7ワイヤ244gは、第1半導体チップ210-1の第7主電極パッド212g-1と、第2半導体チップ210-2の第7主電極パッド212g-2とを接続している。

**【0165】**

第8ワイヤ244hは、第1半導体チップ210-1の第8主電極パッド212h-1と、第2半導体チップ210-2の第8主電極パッド212h-2とを接続している。

**【0166】**

この例の半導体装置2000においては、第2ボンディングワイヤ244の第2半導体チップ200-2側は、全て主電極パッド212-2に接続する例を説明したが、第1ワイヤ244a、第3ワイヤ244c、第5ワイヤ244e及び第7ワイヤ244gについては、第1電極パッド214-2に接続する構成としてもよい。

**【0167】**

第3ボンディングワイヤ248は、上述した第1及び第2ボンディングワイヤと同様に、それぞれ同一の長さのワイヤである。

**【0168】**

第3ボンディングワイヤ248は、第2半導体チップ210-2の第2電極パッド216-2と、基板200の第2ボンディングパッド205とを1対1の対応関係で接続する(図6(A)参照。)

**【0169】**

図8は、図6及び図7を参照して説明した半導体装置2000を封止樹脂により封止してパッケージ形態とした構成例を示す図である。図8は、図6(B)と同じ位置で、半導体装置2000を切断した切断面を示す模式的な図である。

**【0170】**

図8に示す第2の実施の形態の半導体装置のパッケージ例の構成要素及び製造工程は、既に説明した第1の実施の形態の場合と実質的に同一であるので、その詳細な説明は省略する。

**【0171】**

第2の実施の形態の半導体装置の構成によれば、第1の実施の形態で説明した構成と同等の効果をを得ることができる。加えて、主電極パッドから出力される信号を任意に選択された第1電極パッドに出力することができる。従って、第1電極パッドの配置位置は、既存の基板のボンディングパッドの配置位置に合わせて、任意の信号が出力されるよう最適化することができる。

#### 【0172】

##### 2-3. 動作

ここで、図5、図6及び図7を再び参照して、半導体装置2000の動作につき説明する。

#### 【0173】

第2の実施の形態の半導体装置2000は、4つの経路で信号を外部装置に出力する。ここでは、第1及び第2の半導体チップ210-1及び2により生成される信号を、4つの経路により、基板200に設けられている外部端子209に出力する例を説明する。半導体チップ210に信号が入力される場合については、第1の実施の形態と同様に、その説明は省略する。なお、変換回路236にかかる動作については、図5を参照して説明する。このとき、第1半導体チップの変換回路236を符号236-1と称し、第2半導体チップの変換回路236を符号236-2と称する。

#### 【0174】

##### 1) 第1の経路

第1の半導体チップ210-1の回路素子領域225-1で生成された信号Aは、配線構造230-1を経由して第1主電極パッド212a-1に出力される。

#### 【0175】

次いで、第1主電極パッド212a-1に出力された信号Aは、図5に示すように、これに接続されている第1変換配線236a-1を経由して、第1電極パッドの第2の電極パッド214b-1に出力される。

#### 【0176】

第2の電極パッド214b-1に出力された信号Aは、第1ボンディングワイヤ242の第2ワイヤ242bを経由して、第1ボンディングパッド204の第2サブボンディングパッド204bに出力される。

#### 【0177】

第2サブボンディングパッド204bに出力された信号Aは、埋込みビア208を経由して外部端子209に出力される。

#### 【0178】

同様に、第1半導体チップ210-1の第3主電極パッド212c-1に出力された信号Aは、第2変換配線236b-1、第3電極パッド214c-1、第1ボンディングワイヤ242の第3ワイヤ242c、第1ボンディングパッド204の第3サブボンディングパッド204cを順次に経由して、埋込みビア208を経由して外部端子209に出力される。

#### 【0179】

第1半導体チップ210-1の第5主電極パッド212e-1から出力される信号Aは、第3変換配線236c-1、第4の電極パッド214d-1、第1ボンディングワイヤ242の第4ワイヤ242d、及び第1ボンディングパッド204の第4サブボンディングパッド204dを順次に経由して、埋込みビア208を経由して外部端子209に出力される。

#### 【0180】

第1半導体チップ210-1の第7主電極パッド212g-1から出力される信号Aは、第4変換配線236d-1、第1の電極パッド214a-1、第1ボンディングワイヤ242の第1ワイヤ242a、及び第1ボンディングパッド204の第1サブボンディングパッド204aを順次に経由して、埋込みビア208を経由して外部端子209に出力される。

**【0181】**

## 2) 第2の経路

第2半導体チップ210-2の回路素子領域225-2は、信号Bを生成する。信号Bは、配線構造230-2を経由して第1主電極パッド212a-2に出力される。

**【0182】**

次いで、信号Bは、第2ボンディングワイヤ244の第1ワイヤ244aを経由して、第1半導体チップ210-1の第1主電極パッド212a-1に出力される。

**【0183】**

信号Bは、図5に示すように、第1主電極パッド212a-1に接続されている第1変換配線236a-1を経由して、第1電極パッド214の第2の電極パッド214b-1に出力される。

**【0184】**

第2の電極パッド214b-1に出力された信号Bは、第1ボンディングワイヤ242の第2ワイヤ242bを経由して、第1ボンディングパッド204の第2サブボンディングパッド204bに出力される。

**【0185】**

第2サブボンディングパッド204bに出力された信号Bは、埋込みヴィア208を経由して外部端子209に出力される。

**【0186】**

同様に、信号Bは、配線構造230-2を経由して第3主電極パッド212c-2に出力される。

**【0187】**

次いで、信号Bは、第2ボンディングワイヤ244の第3ワイヤ244cを経由して、第1半導体チップ210-1の第3主電極パッド212c-1に出力される。

**【0188】**

信号Bは、図5に示すように、第3主電極パッド212c-1に接続されている第2変換配線236b-1を経由して、第1電極パッド214の第3の電極パッド214c-1に出力される。

**【0189】**

第3の電極パッド214c-1に出力された信号Bは、第1ボンディングワイヤ242の第3ワイヤ242cを経由して、第1ボンディングパッド204の第3サブボンディングパッド204cに出力される。

**【0190】**

第3サブボンディングパッド204cに出力された信号Bは、埋込みヴィア208を経由して外部端子209に出力される。

**【0191】**

同様に、信号Bは、配線構造230-2を経由して第5主電極パッド212e-2に出力される。

**【0192】**

次いで、信号Bは、第2ボンディングワイヤ244の第5ワイヤ244eを経由して、第1半導体チップ210-1の第5主電極パッド212e-1に出力される。

**【0193】**

信号Bは、図5に示すように、第5主電極パッド212e-1に接続されている第3変換配線236c-1を経由して、第1電極パッド214の第4の電極パッド214d-1に出力される。

**【0194】**

第4の電極パッド214d-1に出力された信号Bは、第1ボンディングワイヤ242の第4ワイヤ242dを経由して、第1ボンディングパッド204の第4サブボンディングパッド204dに出力される。

**【0195】**

第4サブボンディングパッド204dに出力された信号Bは、埋込みビア208を経由して外部端子209に出力される。

【0196】

同様に、信号Bは、配線構造230-2を経由して第7主電極パッド212g-2に出力される。

【0197】

次いで、信号Bは、第2ボンディングワイヤ244の第7ワイヤ244gを経由して、第1半導体チップ210-1の第7主電極パッド212g-1に出力される。

【0198】

信号Bは、図5に示すように、第7主電極パッド212g-1に接続されている第4変換配線236d-1を経由して、第1電極パッド214の第1の電極パッド214a-1に出力される。

【0199】

第1の電極パッド214a-1に出力された信号Bは、第1ボンディングワイヤ242の第1ワイヤ242aを経由して、第1ボンディングパッド204の第1サブボンディングパッド204aに出力される。

【0200】

第1サブボンディングパッド204aに出力された信号Bは、埋込みビア208を経由して外部端子209に出力される。

【0201】

### 3) 第3の経路

第2の半導体チップ210-2の回路素子領域225-2は、信号Cを生成する。信号Cは、配線構造230-2を経由して主電極パッド212b-2、212d-2、212f-2及び212h-2に出力される。

【0202】

次いで、信号Cは、主電極パッド212b-2、212d-2、212f-2及び212h-2に接続されている第2パッド間配線234-2を経由して、第2電極パッド216-2に出力される。

【0203】

第2電極パッド216-2に出力された信号Cは、第3ボンディングワイヤ248を経由して、基板200の第2ボンディングパッド205に出力される。

【0204】

第2ボンディングパッド205に出力された信号Cは、埋込みビア208を経由して外部端子209に出力される。

【0205】

### 4) 第4の経路

信号Dは、第1の半導体チップ210-1の回路素子領域225-1で生成される。信号Dは、配線構造230-1を経由して第2主電極パッド212b-1、212d-1、212f-1及び212h-1のいずれかに出力される。

【0206】

第2主電極パッド212b-1、212d-1、212f-1及び212h-1のいずれかに出力された信号Dは、これらに接続されている第2ボンディングワイヤ244を経由して、第2半導体チップ210-2の主電極パッド212-2に出力される。

【0207】

主電極パッド212-2に出力された信号Dは、主電極パッド212-2に接続されている第2パッド間配線234-2を経由して、第2電極パッド216-2に出力される。

【0208】

第2電極パッド216-2に出力された信号Dは、第3ボンディングワイヤ248を経由して、基板200の第2ボンディングパッド205に出力される。

【0209】

第2ボンディングパッド205に出力された信号Dは、埋込みビア208を経由して外部端子209に出力される。

【0210】

この実施の形態の半導体装置の構成によれば、第1の実施の形態の半導体装置と同様の効果に加えて、例えば、所定の主電極パッドに出力される出力信号を、予め設定された任意好適な第1電極パッドに出力することができる変換回路を具えている。従って、半導体チップが搭載される基板のボンディングパッドの配置の自由度を増すことができる。すなわち、基板のボンディングパッドの位置に応じて、所定の出力信号を出力することができる。従って、汎用の基板に搭載することが容易であるので、半導体装置の製造コスト削減にも寄与する。

【0211】

〈第3の実施の形態〉

この発明の第3の実施の形態の半導体チップ310の構成例について、図9を参照して説明する。

【0212】

図9(A)は、半導体チップ310の構成要素の配置関係を説明するための概略的な斜視図である。

【0213】

図9(B)は、図9(A)のI-I'で示した一点破線で切断した切り口を示す模式的な図である。また、図9(C)は、図9(A)のII-II'で示した一点破線で切断した切り口を示す模式的な図である。

【0214】

3-1. 半導体チップの構成

第3の実施の形態の半導体チップ310は、第1主電極パッド312の形状にのみ特徴を有し、他の構成要素は第1の実施の形態の半導体チップ110と同一である。

【0215】

以下、この第1主電極パッド312に主眼をおいて説明し、第1の実施の形態と同一の構成については下二桁が同一となる符号を付してその詳細な説明を省略する。

【0216】

主電極パッド群312Xは、第1の端縁311aの近傍に、かつ第1の端縁311aに対して平行に、配列されている。これらの主電極パッド群312Xは、複数の主電極パッド312を含んでいる。

【0217】

複数の主電極パッド312は、2本のボンディングワイヤが接続できる広さ(面積)の領域を有して設けられている。主電極パッド312の形状は、特に問わないが、好ましくは矩形状であって、その側縁、従って長尺方向が、第1の端縁311aに対して直交する方向に延在するように半導体チップ310の主面310a上に設けられている。

【0218】

主電極パッド312は、第1の端縁311a側に位置する第1部分領域312a(以下、第1部分主電極パッド312aとも称する。)及びこれに直結して隣接する第2部分領域312b(以下、第2部分主電極パッド312bとも称する。)を一体的に有している。これら第1部分領域312a及び第2部分領域312bそれぞれには、ボンディングワイヤが1本ずつ接続される。

【0219】

第2電極パッド群316Xは、複数の第2電極パッド316を含んでいる。これら第2電極パッド316は、第2の辺311bに沿って配列されている。

【0220】

複数の第2電極パッド316は、1本のボンディングワイヤが接続できる面積として設けられている。

【0221】

第2電極パッド316は、この構成例では、正形状としてある。

【0222】

この実施の形態の半導体チップの構成によれば、第1の実施の形態の半導体チップと同様の効果を得ることができるとともに、第1の実施の形態の第1パッド間配線に相当する構成が不要なので、半導体チップをより小型化できる。

【0223】

3-2. 半導体装置

この発明の第3の実施の形態の半導体チップ310を積層した積層構造を有する半導体装置の構成例について、図10を参照して説明する。

【0224】

積層構造の積層形態については、第1の実施の形態の半導体装置と、主電極パッド312とボンディングワイヤとの接続関係を除き、実質的に同一であるので、ここでは複数の主電極パッド312それぞれと各ボンディングワイヤとの接続についてのみ説明する。

【0225】

図10(A)は、2つの半導体チップ310を積層した積層構造を有する半導体装置300を説明するための概略的な斜視図である。

【0226】

図10(B)は、図10(A)のIII-III'で示す一点破線で切断した切り口を示す模式的な図である。また、図10(C)は、図10(A)のIV-IV'で示した一点破線で切断した切り口を示す模式的な図である。

【0227】

第1ボンディングワイヤ342は、基板300の第1ボンディングパッド304と、第1半導体チップ310-1の第1部分主電極パッド312a-1とを1対1の関係で接続するワイヤである。これら第1ボンディングワイヤ342は、同一の長さのワイヤである。

【0228】

第2ボンディングワイヤ344は、第1半導体チップ310-1の第1ボンディングワイヤ342と接続されている第1部分主電極パッド312a-1に隣接する第2部分主電極パッド312b-1と、第2半導体チップ310-2の第1部分主電極パッド312a-2とを接続するワイヤである。これら第2ボンディングワイヤ344は、同一の長さのワイヤである。

【0229】

第3ボンディングワイヤ346は、第1半導体チップ310-1の第1部分主電極パッド312a-1に第1ボンディングワイヤが非接続の第2部分主電極パッド312b-1と、第2半導体チップ310-2の第2部分主電極パッド312b-2とを接続するワイヤである。第3ボンディングワイヤ346は、同一の長さのワイヤである。

【0230】

第4ボンディングワイヤ348それぞれは、第2半導体チップ310-2の第2電極パッド316-2と、基板300の第2ボンディングパッド305とを接続する同一の長さのワイヤである。

【0231】

なお、第1部分主電極パッド312aと第2部分主電極パッド312bからは、同一の信号が出力されるか、又はこれら第1部分主電極パッド312aと第2部分主電極パッド312bには同一の信号が入力できるので、特に上述で説明した第2半導体チップ310-2の第2部分主電極パッド312b-2にボンディングされるボンディングワイヤは、いずれも第1部分主電極パッド312a-2にボンディングすることができる。

【0232】

このような構成とすれば、第1の実施の形態と同様に、ボンディングワイヤ同士の接触による電気的な短絡は、効果的に防止される。従って、信頼性の高い半導体装置が提供できる。加えて、装置を小型化することができる。

**【0233】**

## 3-3. 動作

ここで、図10を再び参照して、半導体装置3000の動作につき説明する。

**【0234】**

この実施の形態の半導体装置3000によれば、第1の実施の形態と同様に、4つの経路で信号を外部装置に出力する。半導体チップ310に信号が入力される場合については、第1の実施の形態と同様に、その説明は省略する。

**【0235】**

## 1) 第1の経路

第1の半導体チップ310-1の回路素子領域325-1で生成された信号Aは、配線構造330-1を経由して主電極パッド312-1、すなわち第1部分主電極パッド312a-1に出力される。

**【0236】**

第1部分主電極パッド312a-1に出力された信号Aは、第1ボンディングワイヤ342を経由して、基板300の第1ボンディングパッド304に出力される。

**【0237】**

第1ボンディングパッド304に出力された信号Aは、埋込みビア308を経由して外部端子309に出力される。

**【0238】**

## 2) 第2の経路

第2の半導体チップ310-2の回路素子領域325-2で生成された信号Bは、配線構造330-2を経由して主電極パッド312-2、すなわち第1及び第2部分主電極312a-2及び312b-2に出力される。

**【0239】**

第1部分主電極312a-2に出力された信号Bは、第2ボンディングワイヤ344を経由して、第1半導体チップ310-1の主電極パッド312-1、すなわち第1及び第2部分主電極312a-1及び312b-2に出力される。

**【0240】**

第2部分主電極312b-2に出力された信号Bは、第1ボンディングワイヤ342を経由して、基板300の第1ボンディングパッド304に出力される。

**【0241】**

第1ボンディングパッド304に出力された信号Bは、埋込みビア308を経由して外部端子309に出力される。

**【0242】**

## 3) 第3の経路

第2の半導体チップ310-2の回路素子領域325-2で生成された信号Cは、配線構造330-2を経由して主電極パッド312-2、すなわち第1及び第2部分主電極312a-2及び312b-2に出力される。

**【0243】**

次いで、主電極パッド312-2に出力された信号Cは、これに接続されている第2パッド間配線334-2を経由して、第2電極パッド316-2に出力される。

**【0244】**

第2電極パッド316-2に出力された信号Cは、第4ボンディングワイヤ348を経由して、基板300の第2ボンディングパッド305に出力される。

**【0245】**

第2ボンディングパッド305に出力された信号Cは、埋込みビア308を経由して外部端子309に出力される。

**【0246】**

## 4) 第4の経路

第1の半導体チップ310-1の回路素子領域325-1で生成された信号Dは、配線

構造 330-1 を経由して主電極パッド 312-1、すなわち第 1 及び第 2 部分主電極 312a-1 及び 312b-1 に出力される。

【0247】

主電極パッド 312-1 に出力された信号 D は、これに接続されている第 3 ボンディングワイヤ 346 を経由して、第 2 半導体チップ 310-2 の主電極パッド 312-2、すなわち第 1 及び第 2 部分主電極 312a-2 及び 312b-2 に出力される。

【0248】

次いで、主電極パッド 312-2 に出力された信号 D は、これに接続されている第 2 パッド間配線 334-2 を経由して、第 2 電極パッド 316-2 に出力される。

【0249】

第 2 電極パッド 316-2 に出力された信号 D は、第 4 ボンディングワイヤ 348 を経由して、基板 300 の第 2 ボンディングパッド 305 に出力される。

【0250】

第 2 ボンディングパッド 305 に出力された信号 D は、埋込みビア 308 を経由して外部端子 309 に出力される。

【0251】

図 11 に示す第 2 の実施の形態の半導体装置のパッケージ例の構成要素及び製造工程は、既に説明した第 1 の実施の形態と実質的に同一であるのでその詳細な説明は省略する。

【0252】

この実施の形態の半導体装置の構成によれば、第 1 の実施の形態の半導体装置と同様の効果に加え、装置をより小型化することができる。

【0253】

〈第 4 の実施の形態〉

この発明の第 4 の実施の形態の半導体チップ 410 の構成例について、図 12 を参照して説明する。

【0254】

図 12 (A) は、半導体チップ 410 の構成要素の配置関係を説明するための概略的な斜視図である。

【0255】

図 12 (B) は、図 12 (A) の I-I' で示した一点破線で切断した切り口を示す模式的な図である。また、図 12 (C) は、図 12 (A) の II-II' で示した一点破線で切断した切り口を示す模式的な図である。

【0256】

4-1. 半導体チップの構成

第 4 の実施の形態の半導体チップ 410 は、実質的に第 3 の実施の形態の半導体チップ 310 と同様の構成を具えている。すなわち第 4 の実施の形態の半導体チップ 410 は、第 1 主電極パッド 412 の形状にのみ特徴を有し、他の構成要素は第 1 及び第 3 の実施の形態の半導体チップ 110 及び 310 と同一である。

【0257】

従って、以下、この第 1 主電極パッド 412 に主眼をおいて説明し、第 1 から第 3 の実施の形態と同一の構成については下二桁が同一となる符号を付してその詳細な説明を省略する。

【0258】

主電極パッド群 412X は、第 1 の端縁 411a の近傍に、かつ第 1 の端縁 411a に対して平行に、配列されている。これらの主電極パッド群 412X は、複数の主電極パッド 412 を含んでいる。

【0259】

主電極パッド 412 は、第 1 の端縁 411a 側に位置する第 1 部分領域 412a (以下、第 1 部分主電極パッド 412a と同称する。) 及び第 2 部分領域 412b (以下、第 2 部分主電極パッド 412b と同称する。) を有している。第 2 部分主電極パッド 412b

は、これら第1及び第2部分電極パッドの幅より狭い幅で形成されている接続領域412cにより、第1部分主電極パッド412aに対して、第1の端縁411aに直交する方向に接続されている。

【0260】

すなわち、主電極パッド412は、半導体チップ410の主面410a上に第1の端縁411aに対して直交する方向に延在するように設けられている。

【0261】

換言すれば、主電極パッド412は、第3の実施の形態で説明した主電極パッド312について、第1部分主電極パッド312aと第2部分主電極パッド312bとを、切れ込みを設けて、切れ込みにより細くなった部分領域を接続領域412cとした形態を有している。

【0262】

これら第1部分主電極パッド412aと第2部分主電極パッド412b（第1部分領域412a及び第2部分領域412b）それぞれには、ボンディングワイヤを1本ずつ接続することができる。

【0263】

この実施の形態の半導体チップの構成によれば、第1の実施の形態と同様の効果を得ることができる。

【0264】

4-2. 半導体装置

この発明の第4の実施の形態の半導体チップ410を3個積層した積層構造を有する半導体装置の構成例について、図13を参照して説明する。

【0265】

図13（A）は、3つの半導体チップ410を積層した積層構造を有する半導体装置400を説明するための概略的な斜視図である。

【0266】

図13（B）は、図13（A）のIII-III'で示す一点破線で切断した切り口を示す模式的な図である。また、図13（C）は、図13（A）のIV-IV'で示した一点破線で切断した切り口を示す模式的な図である。

【0267】

第1ボンディングワイヤ442それぞれは、基板400の第1ボンディングパッド404と、第1半導体チップ410-1の第1部分主電極パッド412a-1とをそれぞれ接続する同一の長さのワイヤである。

【0268】

第2ボンディングワイヤ444それぞれは、第2部分主電極パッド412b-1と、第2半導体チップ410a-2の第1部分主電極パッド412a-2とをそれぞれ接続する同一の長さのワイヤである。

【0269】

第3ボンディングワイヤ445それぞれは、第2半導体チップ410-2の第2部分主電極パッド412b-2と、第3半導体チップ410-3の第1部分主電極パッド412a-3とをそれぞれ接続する同一の長さのワイヤである。

【0270】

第4ボンディングワイヤ448それぞれは、第3半導体チップ410-3の第2電極パッド416-3と、基板400の第2ボンディングパッド405とをそれぞれ接続する同一の長さのワイヤである。

【0271】

なお、第1部分主電極412aと第2部分主電極412bからは、同一の信号が出力されるか、又はこれらの部分主電極パッドには、同一の信号が入力できるので、特に上述で説明した第3半導体チップ410-3の第2部分主電極パッド412b-3にのみボンディングされているボンディングワイヤは、第1又は第2部分主電極パッド412a-3又

は 4 1 2 b-3 のいずれにもボンディングすることができる。

【0272】

積層構造の積層形態については、第 1～3 の実施の形態で説明した半導体装置と、3 個の半導体チップ 4 1 0 が積層されることを除き、実質的に同一である。

【0273】

第 3 半導体チップ 4 1 0-3 は、第 2 半導体チップ 4 1 0-2 の積層領域 4 2 0 b-2 上に第 3 ダイスポンド材 4 5 6 により接着されて、積層されている。第 3 ダイスポンド材 4 5 6 は、上述した第 2 ダイスポンド材と同一のものを使用することができる。

【0274】

また、第 1～3 の実施の形態と同様に 2 個の半導体チップ 4 1 0 を積層する構造としてももちろんよい。

【0275】

図 1 4 は、図 1 3 を参照して説明した半導体装置 4 0 0 0 を封止樹脂により封止したパッケージ形態とした構成例を説明するための図である。図 1 4 は、図 1 3 (B) と同じ位置で、半導体装置 4 0 0 0 を切断した切断面を示す模式的な図である。

【0276】

図 1 4 に示す第 4 の実施の形態の半導体装置のパッケージ例の構成要素及び製造工程は、既に説明した第 1 の実施の形態のものと実質的に同一であるのでその詳細な説明は省略する。

【0277】

このような構成とすれば、第 1 の実施の形態と同様に、ボンディングワイヤ同士の接触による電氣的な短絡の発生は、効果的に防止できる。また、半導体装置のさらなる高機能化及び高集積化が可能となる。また、ワイヤボンディング工程において、ボンディング装置は、第 1 及び第 2 部分主電極パッドが接続領域により離間されているために、それぞれの電極パッドを認識しやすいので、これらの電極パッドに対するボンディングがより確実に行える。

【0278】

4-3. 動作

ここで、図 1 3 を再び参照して、半導体装置 4 0 0 0 の動作につき説明する。

【0279】

この実施の形態の半導体装置 4 0 0 0 によれば、6 つの経路で信号を外部装置に出力する。半導体チップ 4 1 0 に信号が入力される場合については、第 1 の実施の形態と同様に、その説明は省略する。

【0280】

1) 第 1 の経路

第 1 の半導体チップ 4 1 0-1 の回路素子領域 4 2 5-1 で生成された信号 A は、配線構造 4 3 0-1 を経由して主電極パッド 4 1 2-1、すなわち第 1 部分主電極パッド 4 1 2 a-1 に出力される。

【0281】

第 1 部分主電極パッド 4 1 2 a-1 に出力された信号 A は、第 1 ボンディングワイヤ 4 4 2 を経由して、基板 4 0 0 の第 1 ボンディングパッド 4 0 4 に出力される。

【0282】

第 1 ボンディングパッド 4 0 4 に出力された信号 A は、埋込みビア 4 0 8 を経由して外部端子 4 0 9 に出力される。

【0283】

2) 第 2 の経路

第 2 の半導体チップ 4 1 0-2 の回路素子領域 4 2 5-2 で生成された信号 B は、配線構造 4 3 0-2 を経由して主電極パッド 4 1 2-2、すなわち第 1 及び第 2 部分主電極パッド 4 1 2 a-2 及び 4 1 2 b-2 に出力される。

【0284】

第1部分主電極パッド412a-2に出力された信号Bは、第2ワイヤボンディングワイヤ444を経由して、第1半導体チップ410-1の主電極パッド412-1、すなわち第1及び第2部分主電極パッド412a-1及び412b-1に出力される。

【0285】

第2部分主電極パッド412b-1に出力された信号Bは、第1ボンディングワイヤ442を経由して、基板400の第1ボンディングパッド404に出力される。

【0286】

第1ボンディングパッド404に出力された信号Bは、埋込みビア408を経由して外部端子409に出力される。

【0287】

### 3) 第3の経路

第3の半導体チップ410-3の回路素子領域425-3で生成された信号Cは、配線構造430-3を経由して主電極パッド412-3、すなわち第1及び第2部分主電極パッド412a-3及び412b-3に出力される。

【0288】

主電極パッド412-3に出力された信号Cは、第3ボンディングワイヤ445を経由して、第2半導体チップ410-2の主電極パッド412-2、すなわち第1及び第2部分主電極パッド412a-2及び412b-2に出力される。

【0289】

主電極パッド412-2に出力された信号Cは、第2ボンディングワイヤ444を経由して、第1半導体チップ410-1の主電極パッド412-1、すなわち第1及び第2部分主電極パッド412a-1及び412b-1に出力される。

【0290】

主電極パッド412-1に出力された信号Cは、第1ボンディングワイヤ442を経由して、基板400の第1ボンディングパッド404に出力される。

【0291】

第1ボンディングパッド404に出力された信号Cは、埋込みビア408を経由して外部端子409に出力される。

【0292】

### 4) 第4の経路

第3の半導体チップ410-3の回路素子領域425-3で生成された信号Dは、配線構造430-3を経由して主電極パッド412-3、すなわち第1及び第2部分主電極パッド412a-3及び412b-3に出力される。

【0293】

次いで、主電極パッド412-3に出力された信号Dは、主電極パッド412-3に接続されている第2パッド間配線434-3を経由して、第2電極パッド416-3に出力される。

【0294】

第2電極パッド416-3に出力された信号Dは、第4ボンディングワイヤ448を経由して、基板400の第2ボンディングパッド405に出力される。

【0295】

第2ボンディングパッド405に出力された信号Dは、埋込みビア408を経由して外部端子409に出力される。

【0296】

### 5) 第5の経路

第2の半導体チップ410-2の回路素子領域425-2で生成された信号Eは、配線構造430-2を経由して主電極パッド412-2、すなわち第1及び第2部分主電極パッド412a-2及び412b-2に出力される。

【0297】

主電極パッド412-2に出力された信号Eは、これに接続されている第3ボンディン

グワイヤ 445 を経由して、第 3 半導体チップ 410-3 の主電極パッド 412-3、すなわち第 1 及び第 2 部分主電極パッド 412a-3 及び 412b-3 に出力される。

【0298】

次いで、主電極パッド 412-3 に出力された信号 E は、主電極パッド 412-3 に接続されている第 2 パッド間配線 434-3 を経由して、第 2 電極パッド 416-3 に出力される。

【0299】

第 2 電極パッド 416-3 に出力された信号 E は、第 4 ボンディングワイヤ 448 を経由して、基板 400 の第 2 ボンディングパッド 405 に出力される。

【0300】

第 2 ボンディングパッド 405 に出力された信号 E は、埋込みビア 408 を経由して外部端子 409 に出力される。

【0301】

6) 第 6 の経路

第 1 の半導体チップ 410-1 の回路素子領域 425-1 で生成された信号 F は、配線構造 430-1 を経由して主電極パッド 412-1、すなわち第 1 及び第 2 部分主電極パッド 412a-1 及び 412b-1 に出力される。

【0302】

主電極パッド 412-1 に出力された信号 F は、これに接続されている第 2 ボンディングワイヤ 444 を経由して、第 2 半導体チップ 410-2 の主電極パッド 412-2、すなわち第 1 及び第 2 部分主電極パッド 412a-2 及び 412b-2 に出力される。

【0303】

主電極パッド 412-2 に出力された信号 F は、これに接続されている第 3 ボンディングワイヤ 445 を経由して、第 3 半導体チップ 410-3 の主電極パッド 412-3、すなわち第 1 及び第 2 部分主電極パッド 412a-3 及び 412b-3 に出力される。

【0304】

次いで、主電極パッド 412-3 に出力された信号 F は、主電極パッド 412-3 に接続されている第 2 パッド間配線 434-3 を経由して、第 2 電極パッド 416-3 に出力される。

【0305】

第 2 電極パッド 416-3 に出力された信号 F は、第 4 ボンディングワイヤ 448 を経由して、基板 400 の第 2 ボンディングパッド 405 に出力される。

【0306】

第 2 ボンディングパッド 405 に出力された信号 F は、埋込みビア 408 を経由して外部端子 409 に出力される。

【0307】

〈第 5 の実施の形態〉

この発明の第 5 の実施の形態の半導体チップ 510 の構成例について、図 15 を参照して説明する。

【0308】

図 15 (A) は、半導体チップ 510 の構成要素の配置関係を説明するための概略的な斜視図である。図 15 (B) は、図 15 (A) の I-I' で示した一点破線で切断した切り口を示す模式的な図である。

【0309】

5-1. 半導体チップの構成

第 5 の実施の形態の半導体チップ 510 は、実質的に第 4 の実施の形態の半導体チップ 410 と同様の構成を具えている。すなわち第 5 の実施の形態の半導体チップ 510 は、第 2 電極パッド 516 の形状と、第 1 主電極パッド 512 との接続関係に特徴を有し、他の構成要素は第 4 の実施の形態の半導体チップ 410 と同一である。

【0310】

従って、以下、この第2電極パッド516に主眼をおいて説明し、第4の実施の形態と同一の構成については下二桁が同一となる符号を付してその詳細な説明を省略する。

【0311】

第2電極パッド群516Xは、第2の辺511bの近傍に、かつ第2の端縁511bに対して平行に、配列されている。第2電極パッド群516Xは、複数の第2電極パッド516を含んでいる。

【0312】

この実施の形態では、第2電極パッド516は、半導体チップ510の主面510a上に主電極パッド512と同数が設けられている。第2電極パッド516は、第1及び第2の端縁に対して直交する方向に、主電極パッド512それぞれに1対1の対応関係で対応するように設けられている。

【0313】

主電極パッド512と第2電極パッド516とは、1対1の対応関係で、パッド間配線534により接続されている。すなわち、主電極パッド512、第2電極パッド516及びパッド間配線534は、それぞれ同数が設けられている。

【0314】

第2電極パッド516は、第2の端縁511b側に位置する第1部分領域516a（以下、第1部分電極パッド516aとも称する。）及びこれに直結して隣接する第2部分領域516b（以下、第2部分電極パッド516bとも称する。）を有している。第2部分電極パッド516bは、接続領域516cにより、第1部分電極パッド516aから、第2の端縁511bと直交する方向に延在するように接続されている。

【0315】

第2電極パッド516は、これら第1及び第2部分電極パッドの幅より狭い幅で形成されている接続領域516cにより、第1部分主電極パッド516aに対して、第2の辺511bと直交する方向に接続されている。

【0316】

すなわち、第2電極パッド516は、第2の端縁511bに対して直交する方向に延在するように設けられている。

【0317】

これら第1部分電極パッド516a及び第2部分電極パッド516bそれぞれには、ボンディングワイヤを1本ずつ接続することができる。

【0318】

この構成例の半導体チップ510には、他の半導体チップが積層されたときに当該他の半導体チップから露出し、主電極パッド群112X及び第1電極パッド群114Xを含む領域である第1領域520a及び第2電極パッド群を含む領域である第2領域520bと、これら第1領域520a及び第2領域520bに挟まれて接している第3領域520cとが設定される。

【0319】

この第3領域520c、及び第1領域520a又は第2領域520bのいずれかに渡って、他の半導体チップが搭載される。

【0320】

この実施の形態の半導体チップの構成によれば、第1の実施の形態と同様の効果を得ることができる。また、パッド間配線534により、主電極パッド512と第2電極パッドの双方に主電極パッドが出力する信号を出力することができるので、基板のボンディングパッドの配置の自由度を増大させることができる。

【0321】

5-2. 半導体装置

この発明の第5の実施の形態の半導体チップ510を逆V字形に5個積層した積層構造を有する半導体装置の構成例を、図16及び図17を参照して説明する。なお、上述の実施の形態と同一の構成については下二桁が同一となる符号を付してその詳細な説明を省略

する。

【0322】

図16は、5つの半導体チップ510を積層した積層構造を有する半導体装置5000を説明するための概略的な斜視図である。

【0323】

図17(A)は、図16のIII-III'で示す一点破線で切断した切り口を示す模式的な図である。また、図17(B)は、図16のIV-IV'で示した一点破線で切断した切り口を示す模式的な図である。

【0324】

半導体装置5000は、基板500を最下層に含んでいる。この実施の形態の半導体装置5000は、上述した基板500の半導体チップ搭載領域502上に逆V字形に5個の半導体チップ510を積層し、その積層の全体形状を逆V字形にした構造を有している。

【0325】

半導体チップ搭載領域502は、5個の半導体装置を逆V字形に積層するために、2つの半導体チップ510を、互いに十分に離間して設けることができるような広い領域(面積)として設定される。

【0326】

上述した構成を有する第1半導体チップ510-1は、その第1端を領域502の第1の辺501aに合わせて、第1ダイスボンド材552により、接着搭載されている。

【0327】

第2半導体チップ510-2は、その第2端を領域502の第2の辺501bに合わせて、第1ダイスボンド材552により、接着搭載されている。すなわち、2つの半導体チップ510-1及び510-2は、第1半導体チップ510-1の第2端と、第2半導体チップ510-2の第1端とが離間して対向するように、換言すれば、2つの半導体チップが同一方向を向くように、かつ半導体チップ510-1及び510-2の第1主面を上側に向けて、半導体チップ搭載領域502(第3領域500c)上に搭載される。

【0328】

従って、第1半導体チップ510-1の第1端より外側すなわち基板の一端側の基板500の表面領域(第1領域500a)には、第1ボンディングパッド504が露出している。第2半導体チップ510-2の第2端より外側(すなわち基板の他端側)の基板500の表面領域(第2領域500b)には、第2ボンディングパッド505が露出している。

【0329】

第3半導体チップ510-3は、第1半導体チップ510-1の積層領域520b-1(第2領域520b及び第3領域520c)上に、第2ダイスボンド材554により、その第2主表面510b-1が接着搭載されている。第3半導体チップ510-3は、その第1の辺側が第1半導体チップ510-1の第1の辺側に来るように搭載される。

【0330】

第4半導体チップ510-4は、第2半導体チップ510-2の第1領域520a及び第3領域520c上に、第2ダイスボンド材554により、その第2主表面が接着搭載されている。第4半導体チップ510-4は、第1の辺側が第2半導体チップ510-2の第1の辺側に来るように、同一の向きで搭載される。

【0331】

このとき、第3半導体チップ510-3の第2端と、第4半導体チップ510-4の第1端とは、なるべく小さい間隔で、対向して離間するように搭載するのがよい。

【0332】

第5の半導体チップ510-5は、第3半導体チップ510-3の積層領域520b-3(第2領域520b及び第3領域520c)と第4半導体チップ510-4の第1領域520a及び第3領域520cとにまたがって、その第2の主表面を、第3ダイスボンド材556により、接着搭載される。第5半導体チップ510-5は、第1の辺側が第3半

導体チップ510-3の第1の辺側に来るように搭載されている。第5半導体チップ510-5は、好ましくは、第3半導体チップ510-3と第4半導体チップ510-4とに、均等にまたがるように搭載するのがよい。このようにすれば、ボンディングワイヤの長さを均等にできるので、装置をより小型にできる。

#### 【0333】

また、第5半導体チップ510-5の主電極パッド512-5は、好ましくは、第1半導体チップ510-1上に、かつ第2電極パッド516-5は、第2半導体チップ510-2上に位置するように搭載されるのがよい。

#### 【0334】

第1ボンディングワイヤ542それぞれは、基板500の第1ボンディングパッド504と、第1半導体チップ510-1の第1部分主電極パッド512a-1とをそれぞれ接続する同一の長さのワイヤである。

#### 【0335】

第2ボンディングワイヤ544のそれぞれは、第1半導体チップ510-1の第2部分主電極パッド512b-1と、第3半導体チップ510-3の第1部分主電極パッド512a-3とをそれぞれ接続する同一の長さのワイヤである。

#### 【0336】

第3ボンディングワイヤ545それぞれは、第3半導体チップ510-3の第2部分主電極パッド512b-3と、第5半導体チップ510-5の第1部分主電極パッド512a-5とをそれぞれ接続する同一の長さのワイヤである。

#### 【0337】

第4ボンディングワイヤ548それぞれは、第5半導体チップ510-5の第2電極パッド516-5の第1部分電極パッド516a-5と、第4半導体チップ510-4の第2部分電極パッド516b-4とをそれぞれ接続する同一の長さのワイヤである。上述したように、第3ボンディングワイヤ545と、第4ボンディングワイヤ548とは、好ましくは同一の長さとするのがよい。

#### 【0338】

第5ボンディングワイヤ549それぞれは、第4半導体チップ510-4の第1部分電極パッド516a-4と、第2半導体チップ510-2の第2部分電極パッド516b-2とをそれぞれ接続する同一の長さのワイヤである。

#### 【0339】

第6ボンディングワイヤ550それぞれは、第2半導体チップ510-2の第1部分電極パッド516a-2と、基板500の第2ボンディングパッド505とをそれぞれ接続する同一の長さのワイヤである。

#### 【0340】

この例では、各半導体チップ510の向きをいずれも同一方向に向けて、基板上に搭載する例を説明したが、例えば第1及び第2半導体チップ510-1及び510-2を、それぞれの第2端同士が、離間して対向するように、基板の第3の領域に搭載し、全ての半導体チップの第1領域520aが露出するように、5つの半導体チップを積層する構成とすることもできる。

#### 【0341】

このように積層すれば、応力に弱い回路素子が集積されている第1領域520a上に、他の半導体チップが搭載されないので、半導体装置の動作をより安定させることができる。

#### 【0342】

図18は、図16及び図17を参照して説明した半導体装置5000を封止樹脂により封止したパッケージ形態とした構成例を説明するための図である。図18は、図17(A)と同じ位置で、半導体装置5000を切断した切断面を示す模式的な図である。

#### 【0343】

第5の実施の形態の半導体装置のパッケージ例の構成要素及び製造工程は、既に説明し

た第1の実施の形態と実質的に同一であるのでその詳細な説明は省略する。

【0344】

この実施の形態の半導体装置5000は、5つの半導体チップ510を積層する例のみを示したが、2～4個の半導体チップを積層する構成としてもよい。

【0345】

第5の実施の形態の半導体装置によれば、第4の実施の形態の半導体装置により得られる効果に加え、より多くの半導体チップを積層できるので、半導体チップのさらなる高集積化及び半導体装置の高機能化が可能となる。

【0346】

5-3. 動作

ここで、図16及び図17を再び参照して、半導体装置5000の動作につき説明する。

【0347】

この実施の形態の半導体装置5000によれば、10通りの経路で信号を外部装置に出力する。半導体チップ510に信号が入力される場合については、第1の実施の形態と同様に、その詳細な説明は省略する。

【0348】

1) 第1の経路

第1の半導体チップ510-1の回路素子領域525-1で生成された信号Aは、配線構造530-1を経由して主電極パッド512-1、すなわち第1部分主電極パッド512a-1に出力される。

【0349】

第1部分主電極パッド512a-1に出力された信号Aは、第1ボンディングワイヤ542を経由して、基板500の第1ボンディングパッド504に出力される。

【0350】

第1ボンディングパッド504に出力された信号Aは、埋込みビア508を経由して外部端子509に出力される。

【0351】

2) 第2の経路

第3の半導体チップ510-3の回路素子領域525-3で生成された信号Bは、配線構造530-3を経由して主電極パッド512-3、すなわち第1及び第2部分主電極パッド512a-3及び512b-3に出力される。

【0352】

第1部分主電極パッド512a-3に出力された信号Bは、第2ワイヤボンディングワイヤ544を経由して、第1半導体チップ510-1の主電極パッド512-1、すなわち第1及び第2部分主電極パッド512a-2及び512b-2に出力される。

【0353】

主電極パッド512-1に出力された信号Bは、第1ボンディングワイヤ542を経由して、基板500の第1ボンディングパッド504に出力される。

【0354】

第1ボンディングパッド504に出力された信号Bは、埋込みビア508を経由して外部端子509に出力される。

【0355】

3) 第3の経路

第5の半導体チップ510-5の回路素子領域525-5で生成された信号Cは、配線構造530-5を経由して主電極パッド512-5、すなわち第1及び第2部分主電極パッド512a-5及び512b-5に出力される。

【0356】

主電極パッド512a-5に出力された信号Cは、第3ボンディングワイヤ545を経由して、第3半導体チップ510-3の主電極パッド512-3、すなわち第1及び第2

部分主電極パッド512a-3及び512b-3に出力される。

【0357】

主電極パッド512-3に出力された信号Cは、第2ボンディングワイヤ544を経由して、第1半導体チップ510-1の主電極パッド512-1、すなわち第1及び第2部分主電極パッド512a-2及び512b-2に出力される。

【0358】

主電極パッド512-1に出力された信号Cは、第1ボンディングワイヤ542を経由して、基板500の第1ボンディングパッド504に出力される。

【0359】

第1ボンディングパッド504に出力された信号Cは、埋込みビア508を経由して外部端子509に出力される。

【0360】

4) 第4の経路

第1の半導体チップ510-1の回路素子領域525-1で生成された信号Dは、配線構造530-1を経由して主電極パッド512-1、すなわち第1及び第2部分主電極512a-1及び512b-1に出力される。

【0361】

第1主電極パッド512-1に出力された信号Dは、第2ボンディングワイヤ544を経由して、第3半導体チップ510-3の主電極パッド512-3、すなわち第1及び第2部分主電極パッド512a-3及び512b-3に出力される。

【0362】

主電極パッド512-3に出力された信号Dは、第3ボンディングワイヤ545を経由して、第5半導体チップ510-5の主電極パッド512-5、すなわち第1及び第2部分主電極パッド512a-5及び512b-5に出力される。

【0363】

次いで、主電極パッド512-5に出力された信号Dは、主電極パッド512-5に接続されているパッド間配線534-5を経由して、第2電極パッド516-5に出力される。

【0364】

第2電極パッド516-5に出力された信号Dは、第4ボンディングワイヤ548を経由して、第4半導体チップ510-4の第2電極パッド516-4、すなわち第1及び第2部分電極パッド516a-4及び516b-4に出力される。

【0365】

第2部分電極パッド516-4に出力された信号Dは、第5ボンディングワイヤ549を経由して、第2半導体チップ510-2の第2電極パッド516-2、すなわち第1及び第2部分電極パッド516a-2及び516b-2に出力される。

【0366】

第2電極パッド516-2に出力された信号Dは、第6ボンディングワイヤ550を経由して、基板500の第2ボンディングパッド505に出力される。

【0367】

第2ボンディングパッド505に出力された信号Dは、埋込みビア508を経由して外部端子509に出力される。

【0368】

5) 第5の経路

第3の半導体チップ510-3の回路素子領域525-3で生成された信号Eは、配線構造530-3を経由して主電極パッド512-3、すなわち第1及び第2部分主電極512a-3及び512b-3に出力される。

【0369】

主電極パッド512-3に出力された信号Eは、第3ボンディングワイヤ545を経由して、第5半導体チップ510-5の主電極パッド512-5、すなわち第1及び第2部

分主電極パッド512a-5及び512b-5に出力される。

【0370】

次いで、主電極パッド512-5に出力された信号Eは、主電極パッド512-5に接続されているパッド間配線534-5を経由して、第2電極パッド516-5に出力される。

【0371】

第2電極パッド516-5に出力された信号Eは、第4ボンディングワイヤ548を経由して、第4半導体チップ510-4の第2電極パッド516-4、すなわち第1及び第2部分電極パッド516a-4及び516b-4に出力される。

【0372】

第2電極パッド516-4に出力された信号Eは、第5ボンディングワイヤ549を経由して、第2半導体チップ510-2の第2電極パッド516-2、すなわち第1及び第2部分電極パッド516a-2及び516b-2に出力される。

【0373】

第2電極パッド516-2に出力された信号Eは、第6ボンディングワイヤ550を経由して、基板500の第2ボンディングパッド505に出力される。

【0374】

第2ボンディングパッド505に出力された信号Eは、埋込みビア508を経由して外部端子509に出力される。

【0375】

6) 第6の経路

第5の半導体チップ510-5の回路素子領域525-5で生成された信号Fは、配線構造530-5を経由して主電極パッド512-5、すなわち第1及び第2部分主電極512a-5及び512b-5に出力される。

【0376】

次いで、主電極パッド512-5に出力された信号Fは、主電極パッド512-5に接続されているパッド間配線534-5を経由して、第2電極パッド516-5に出力される。

【0377】

第2電極パッド516-5に出力された信号Fは、第4ボンディングワイヤ548を経由して、第4半導体チップ510-4の第2電極パッド516-4、すなわち第1及び第2部分電極パッド516a-4及び516b-4に出力される。

【0378】

第2電極パッド516-4に出力された信号Fは、第5ボンディングワイヤ549を経由して、第2半導体チップ510-2の第2電極パッド516-2、すなわち第1及び第2部分電極パッド516a-2及び516b-2に出力される。

【0379】

第2電極パッド516-2に出力された信号Fは、第6ボンディングワイヤ550を経由して、基板500の第2ボンディングパッド505に出力される。

【0380】

第2ボンディングパッド505に出力された信号Fは、埋込みビア508を経由して外部端子509に出力される。

【0381】

7) 第7の経路

第4の半導体チップ510-4の回路素子領域525-4で生成された信号Gは、配線構造530-4を経由して主電極パッド512-4、すなわち第1及び第2部分主電極512a-4及び512b-4に出力される。

【0382】

主電極パッド512-4に出力された信号Gは、主電極パッド512-4に接続されているパッド間配線534-4を経由して、第2電極パッド516-4に出力される。

**【0383】**

第2電極パッド516-4に出力された信号Gは、第5ボンディングワイヤ549を経由して、第2半導体チップ510-2の第2電極パッド516-2、すなわち第1及び第2部分電極パッド516a-2及び516b-2に出力される。

**【0384】**

第2電極パッド516-2に出力された信号Gは、第6ボンディングワイヤ550を経由して、基板500の第2ボンディングパッド505に出力される。

**【0385】**

第2ボンディングパッド505に出力された信号Gは、埋込みビア508を経由して外部端子509に出力される。

**【0386】****8) 第8の経路**

第2の半導体チップ510-2の回路素子領域525-2で生成された信号Hは、主電極パッド512-2に接続されているパッド間配線534-2を経由して、第2電極パッド516-2に出力される。

**【0387】**

第2電極パッド516-2に出力された信号Hは、第6ボンディングワイヤ550を経由して、基板500の第2ボンディングパッド505に出力される。

**【0388】**

第2ボンディングパッド505に出力された信号Hは、埋込みビア508を経由して外部端子509に出力される。

**【0389】****9) 第9の経路**

第2の半導体チップ510-2の回路素子領域525-2で生成された信号Iは、配線構造530-2を経由して主電極パッド512-2、すなわち第1及び第2部分主電極パッド512a-2及び512b-2に出力される。

**【0390】**

主電極パッド512-2に出力された信号Iは、主電極パッド512-2に接続されているパッド間配線534-2を経由して、第2電極パッド516-2に出力される。

**【0391】**

第2電極パッド516-2に出力された信号Iは、第5ボンディングワイヤ549を経由して、第4半導体チップ510-4の第2電極パッド516-4、すなわち第1及び第2部分電極パッド516a-4及び516b-4に出力される。

**【0392】**

第2電極パッド516-4に出力された信号Iは、第4ボンディングワイヤ548を経由して、第5半導体チップ510-5の第2電極パッド516-5に出力される。

**【0393】**

次いで、第2電極パッド516-5に出力された信号Iは、第2電極パッド516-5に接続されているパッド間配線534-5を経由して、主電極パッド512-5、すなわち第1及び第2部分主電極パッド512a-5及び512b-5に出力される。

**【0394】**

主電極パッド512a-5に出力された信号Iは、第3ボンディングワイヤ545を経由して、第3半導体チップ510-3の主電極パッド512-3、すなわち第1及び第2部分主電極パッド512a-3及び512b-3に出力される。

**【0395】**

主電極パッド512-3に出力された信号Iは、第2ワイヤボンディングワイヤ544を経由して、第1半導体チップ510-1の主電極パッド512-1、すなわち第1及び第2部分主電極パッド512a-2及び512b-2に出力される。

**【0396】**

主電極パッド512-1に出力された信号Iは、第1ボンディングワイヤ542を経由

して、基板 500 の第 1 ボンディングパッド 504 に出力される。

【0397】

第 1 ボンディングパッド 504 に出力された信号 I は、埋込みビア 508 を経由して外部端子 509 に出力される。

【0398】

10) 第 10 の経路

第 4 の半導体チップ 510-4 の回路素子領域 525-4 で生成された信号 J は、配線構造 530-4 を経由して主電極パッド 512-4、すなわち第 1 及び第 2 部分主電極パッド 512a-4 及び 512b-4 に出力される。

【0399】

主電極パッド 512-4 に出力された信号 I は、主電極パッド 512-4 に接続されているパッド間配線 534-4 を経由して、第 2 電極パッド 516-4 に出力される。

【0400】

第 2 電極パッド 516-4 に出力された信号 I は、第 4 ボンディングワイヤ 548 を経由して、第 5 半導体チップ 510-5 の第 2 電極パッド 516-5 に出力される。

【0401】

次いで、第 2 電極パッド 516-5 に出力された信号 I は、第 2 電極パッド 516-5 に接続されているパッド間配線 534-5 を経由して、主電極パッド 512-5、すなわち第 1 及び第 2 部分主電極パッド 512a-5 及び 512b-5 に出力される。

【0402】

主電極パッド 512a-5 に出力された信号 I は、第 3 ボンディングワイヤ 545 を経由して、第 3 半導体チップ 510-3 の主電極パッド 512-3、すなわち第 1 及び第 2 部分主電極パッド 512a-3 及び 512b-3 に出力される。

【0403】

主電極パッド 512-3 に出力された信号 I は、第 2 ワイヤボンディングワイヤ 544 を経由して、第 1 半導体チップ 510-1 の主電極パッド 512-1、すなわち第 1 及び第 2 部分主電極パッド 512a-2 及び 512b-2 に出力される。

【0404】

主電極パッド 512-1 に出力された信号 I は、第 1 ボンディングワイヤ 542 を経由して、基板 500 の第 1 ボンディングパッド 504 に出力される。

【0405】

第 1 ボンディングパッド 504 に出力された信号 I は、埋込みビア 508 を経由して外部端子 509 に出力される。

【産業上の利用可能性】

【0406】

この発明の半導体チップは、複数の半導体チップが積層されて構成されるいわゆるマルチチップパッケージに適用して好適である。その構成によれば、出力信号を 2 方向に割り振って出力することができる。

【0407】

また、この発明の半導体装置によれば、ボンディングワイヤを短くできるので、ボンディングワイヤ同士の接触による電氣的な短絡は、効果的に防止される。従って、信頼性の高い半導体装置が、提供できる。

【図面の簡単な説明】

【0408】

【図 1】第 1 の実施の形態の半導体チップの構成要素の配置関係の一例を説明するための概略的な図である。

【図 2】第 1 の実施の形態の半導体チップの積層例を示す図である。

【図 3】第 1 の実施の形態の半導体チップのパッケージ例を示す図である。

【図 4】第 2 の実施の形態の半導体チップの構成要素の配置関係の一例を説明するための概略的な図である。

【図 5】第 2 の実施の形態の半導体チップの変換回路を説明するための概略的な図である。

【図 6】第 2 の実施の形態の半導体チップの積層例を示す図である。

【図 7】図 6 の領域 H を拡大して示した部分拡大図である。

【図 8】第 2 の実施の形態の半導体チップのパッケージ例を示す図である。

【図 9】第 3 の実施の形態の半導体チップの構成要素の配置関係の一例を説明するための概略的な図である。

【図 1 0】第 3 の実施の形態の半導体チップの積層例を示す図である。

【図 1 1】第 3 の実施の形態の半導体チップのパッケージ例を示す図である。

【図 1 2】第 4 の実施の形態の半導体チップの構成要素の配置関係の一例を説明するための概略的な図である。

【図 1 3】第 4 の実施の形態の半導体チップの積層例を示す図である。

【図 1 4】第 4 の実施の形態の半導体チップのパッケージ例を示す図である。

【図 1 5】第 4 の実施の形態の半導体チップの構成要素の配置関係の一例を説明するための概略的な図である。

【図 1 6】第 5 の実施の形態の半導体チップの積層例を示す図である。

【図 1 7】第 5 の実施の形態の半導体チップの積層例を示す図である。

【図 1 8】第 5 の実施の形態の半導体チップのパッケージ例を示す図である。

【符号の説明】

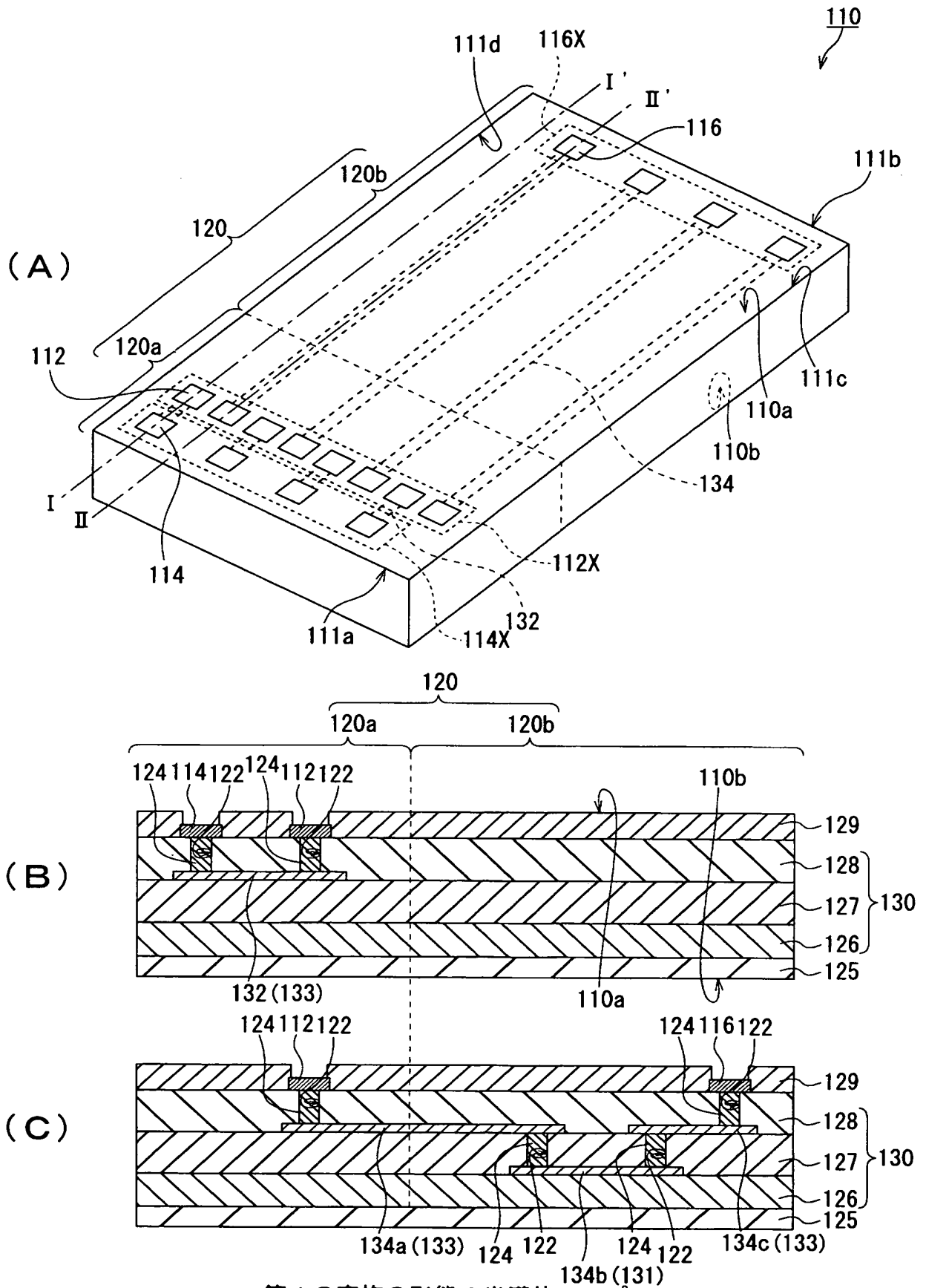
【 0 4 0 9 】

- 1 0 0：基板
- 1 0 0 a：第 1 の領域
- 1 0 0 b：第 2 の領域
- 1 0 0 c：第 3 の領域
- 1 0 1：第 1 主表面
- 1 0 3：第 2 主表面
- 1 0 1 a：第 1 の辺
- 1 0 1 b：第 2 の辺
- 1 0 4：第 1 ボンディングパッド
- 1 0 5：第 2 ボンディングパッド
- 1 0 6、1 2 2：ビアホール
- 1 0 8、1 2 4：埋込みビア
- 1 0 9：外部端子
- 1 1 0、2 1 0、3 1 0、4 1 0、5 1 0：半導体チップ
- 1 1 0 a：主面
- 1 1 0 b：第 2 の主面
- 1 1 1 a：第 1 の辺
- 1 1 1 b：第 2 の辺
- 1 1 1 c、1 1 1 d：側縁
- 1 1 2、2 1 2、3 1 2、4 1 2、5 1 2：主電極パッド
- 1 1 2 X：主電極パッド群
- 1 1 4：第 1 電極パッド
- 1 1 4 X：第 1 電極パッド群
- 1 1 6、2 1 6、3 1 6、4 1 6、5 1 6：第 2 電極パッド
- 1 1 6 X：第 2 電極パッド群
- 1 2 0：アクティブ領域
- 1 2 0 a：露出領域
- 1 2 0 b：積層領域
- 1 2 5：最下層
- 1 2 6：第 1 層間絶縁膜

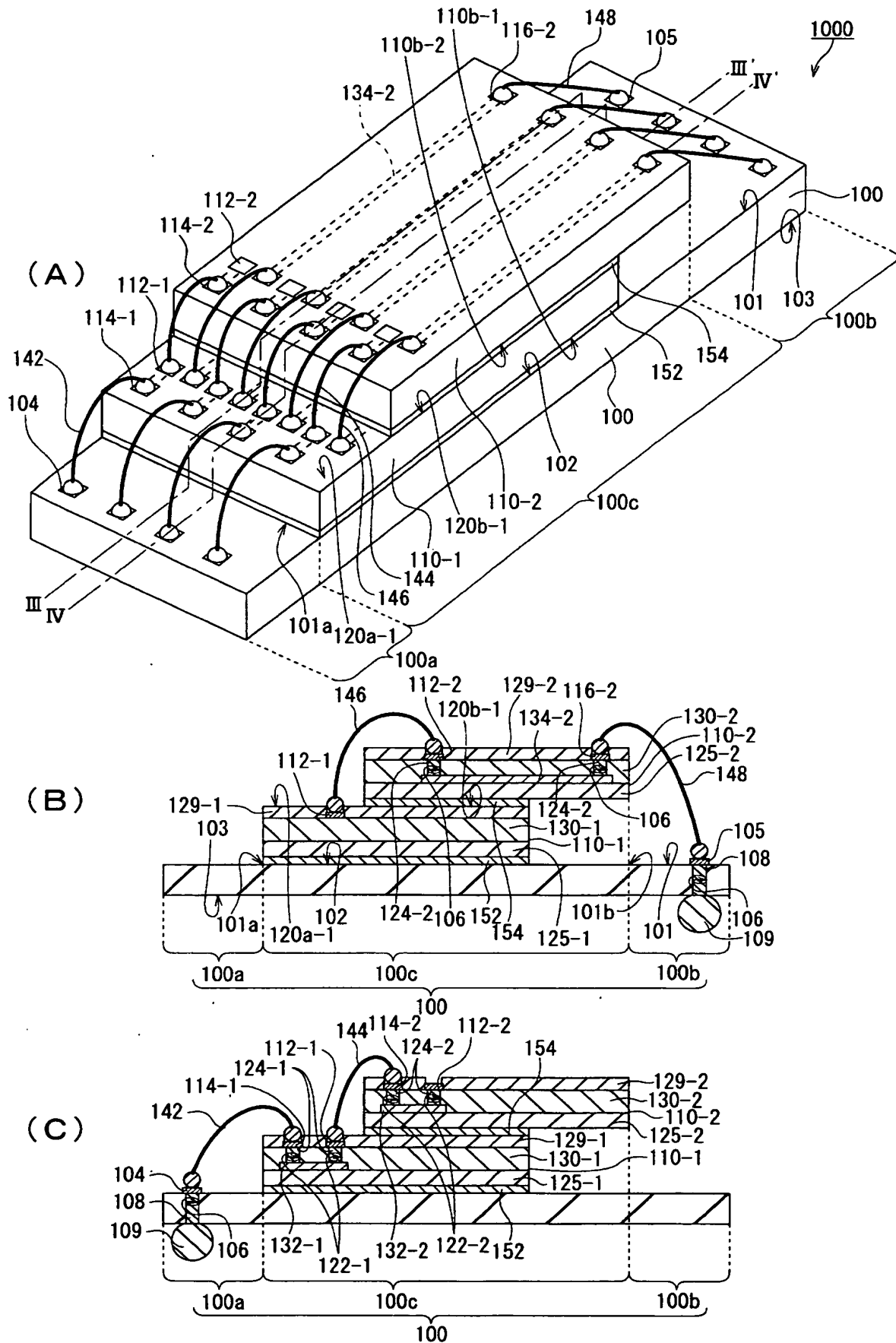
1 2 7 : 第 2 層間絶縁膜  
1 2 8 : 第 3 層間絶縁膜  
1 3 1 : 第 1 配線層  
1 3 3 : 第 2 配線層  
1 3 2 : 第 1 パッド間配線  
1 3 4 : 第 2 パッド間配線  
1 3 4 a : 第 1 部分配線  
1 3 4 b : 第 2 部分配線  
1 3 4 c : 第 3 部分配線  
1 4 2 : 第 1 ボンディングワイヤ  
1 4 4 : 第 2 ボンディングワイヤ  
1 4 6 : 第 3 ボンディングワイヤ  
1 4 8 : 第 4 ボンディングワイヤ  
1 5 2 : 第 1 ダイスボンド材  
1 5 4 : 第 2 ダイスボンド材  
4 5 6 : 第 3 ダイスボンド材  
2 3 6 : 変換回路部  
2 3 6 X : 変換配線構造  
2 3 6 a : 第 1 変換配線  
2 3 6 b : 第 2 変換配線  
2 3 6 c : 第 3 変換配線  
2 3 6 d : 第 4 変換配線  
2 4 2 a、2 4 4 a : 第 1 ワイヤ  
2 4 2 b、2 4 4 b : 第 2 ワイヤ  
2 4 2 c、2 4 4 c : 第 3 ワイヤ  
2 4 2 d、2 4 4 d : 第 4 ワイヤ  
2 4 4 e ~ 2 4 4 h : 第 5 ~ 第 8 ワイヤ  
1 0 0 0、2 0 0 0、3 0 0 0、4 0 0 0、5 0 0 0 : 半導体装置

【書類名】 図面

【図 1】

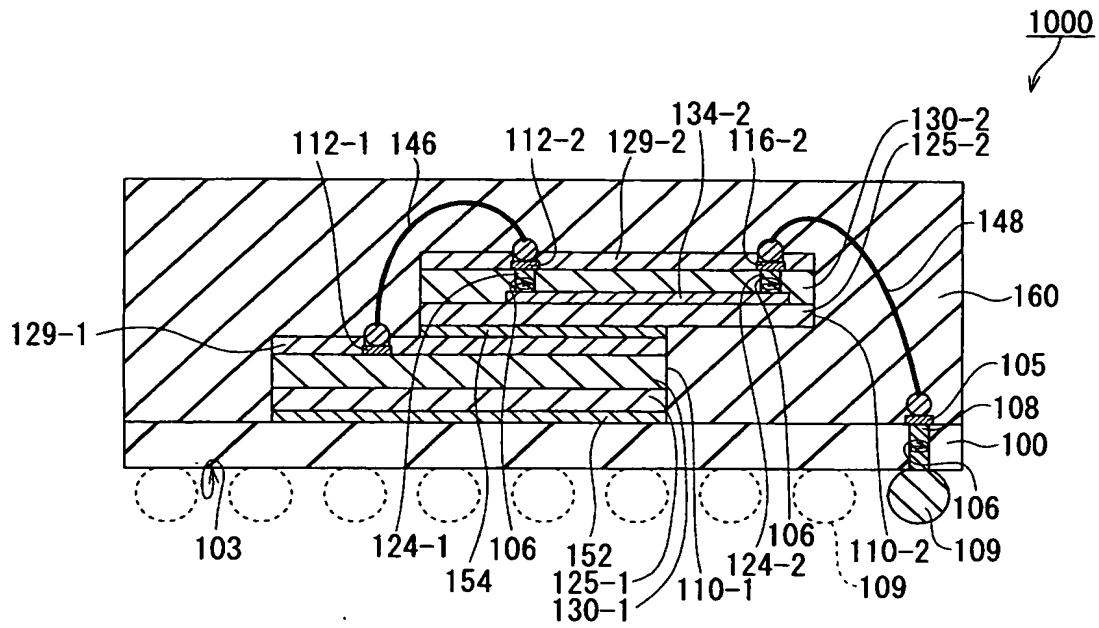


【図 2】



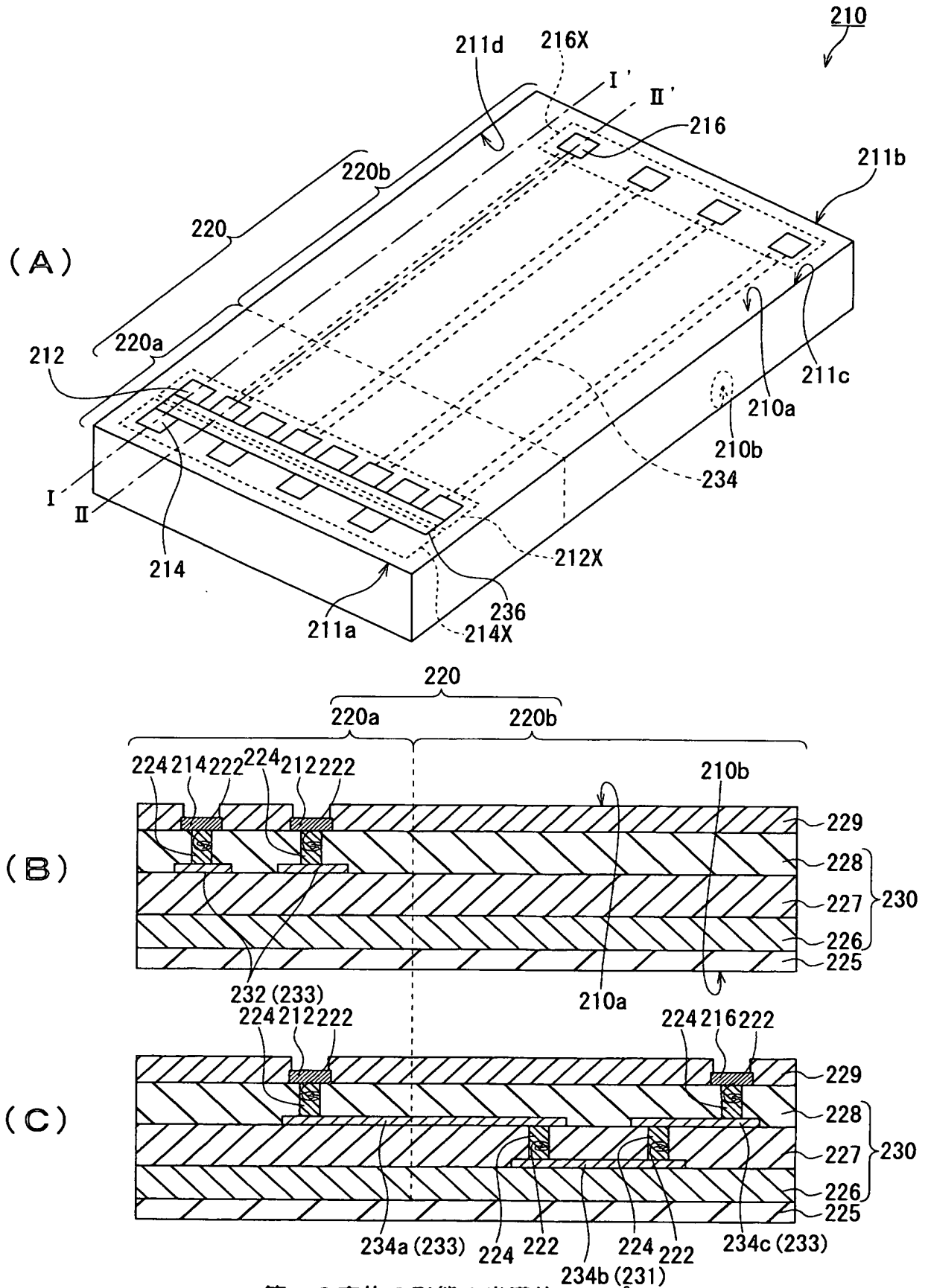
第1の実施の形態の半導体チップの積層例

【図 3】

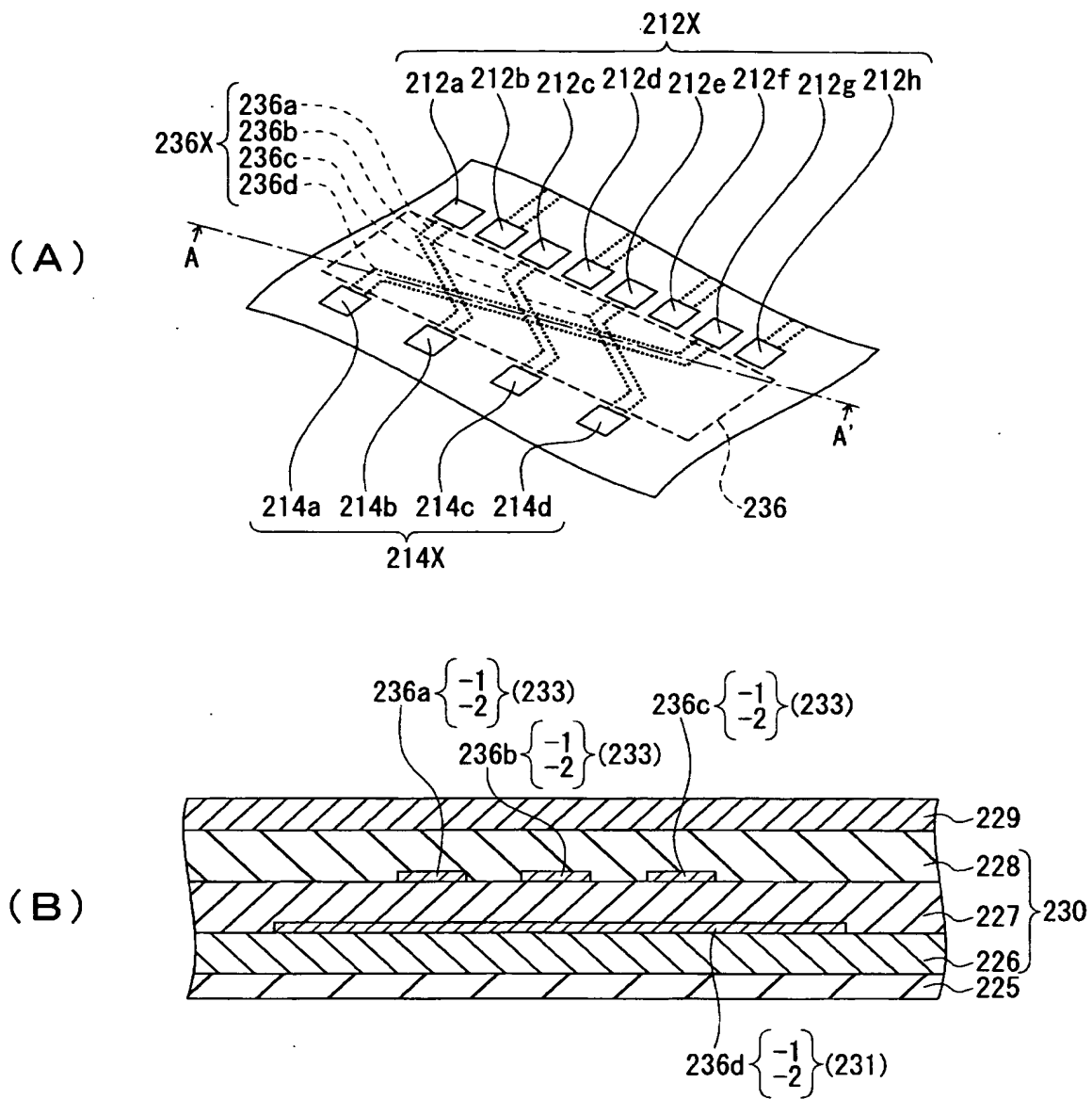


### 第 1 の実施の形態の半導体チップのパッケージ例

【図 4】

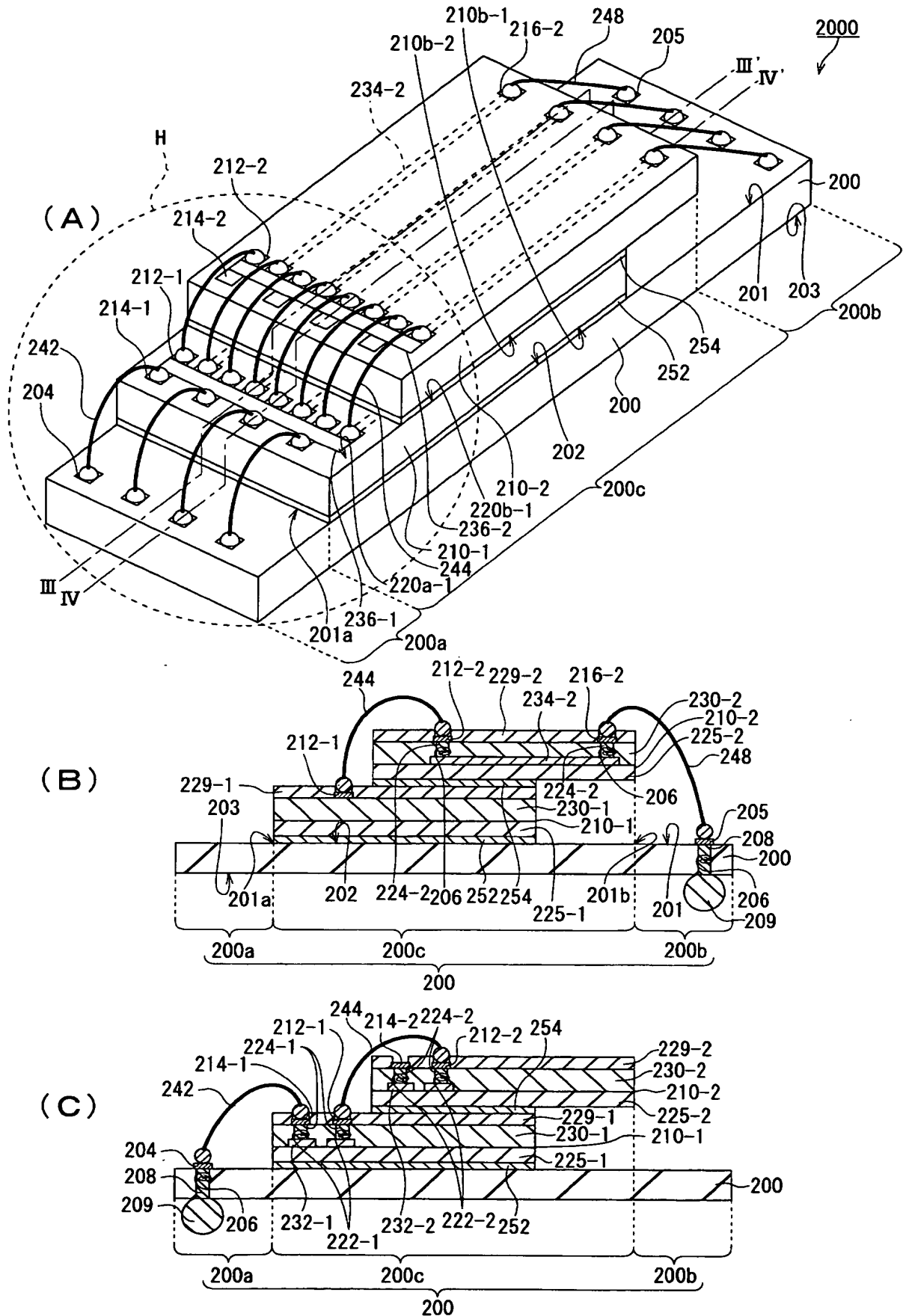


【図 5】



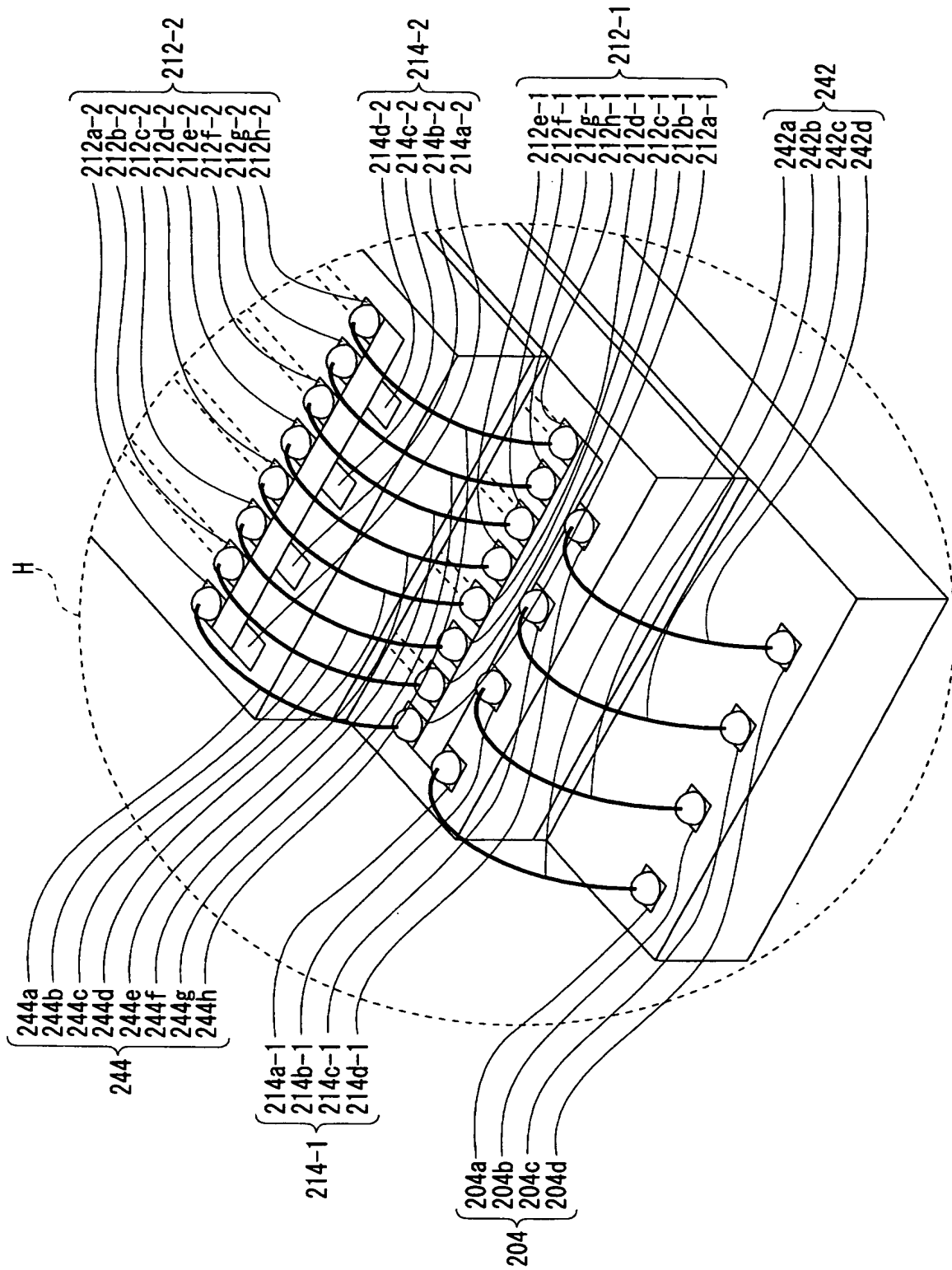
第 2 の実施の形態の変換回路の説明図

【図 6】



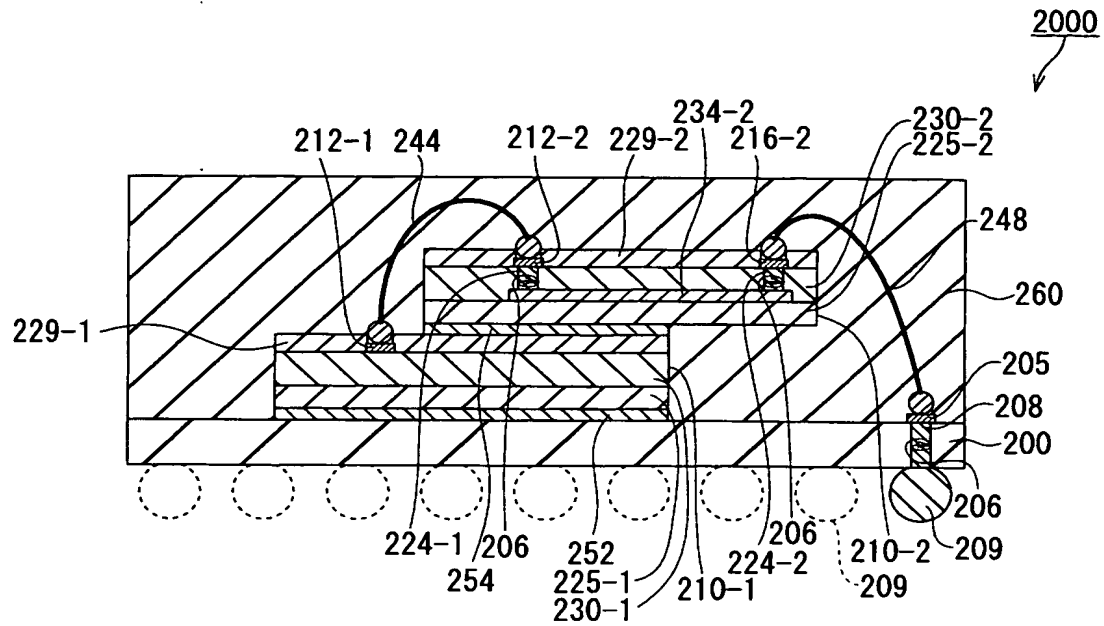
第 2 の実施の形態の半導体チップの積層例

【図 7】

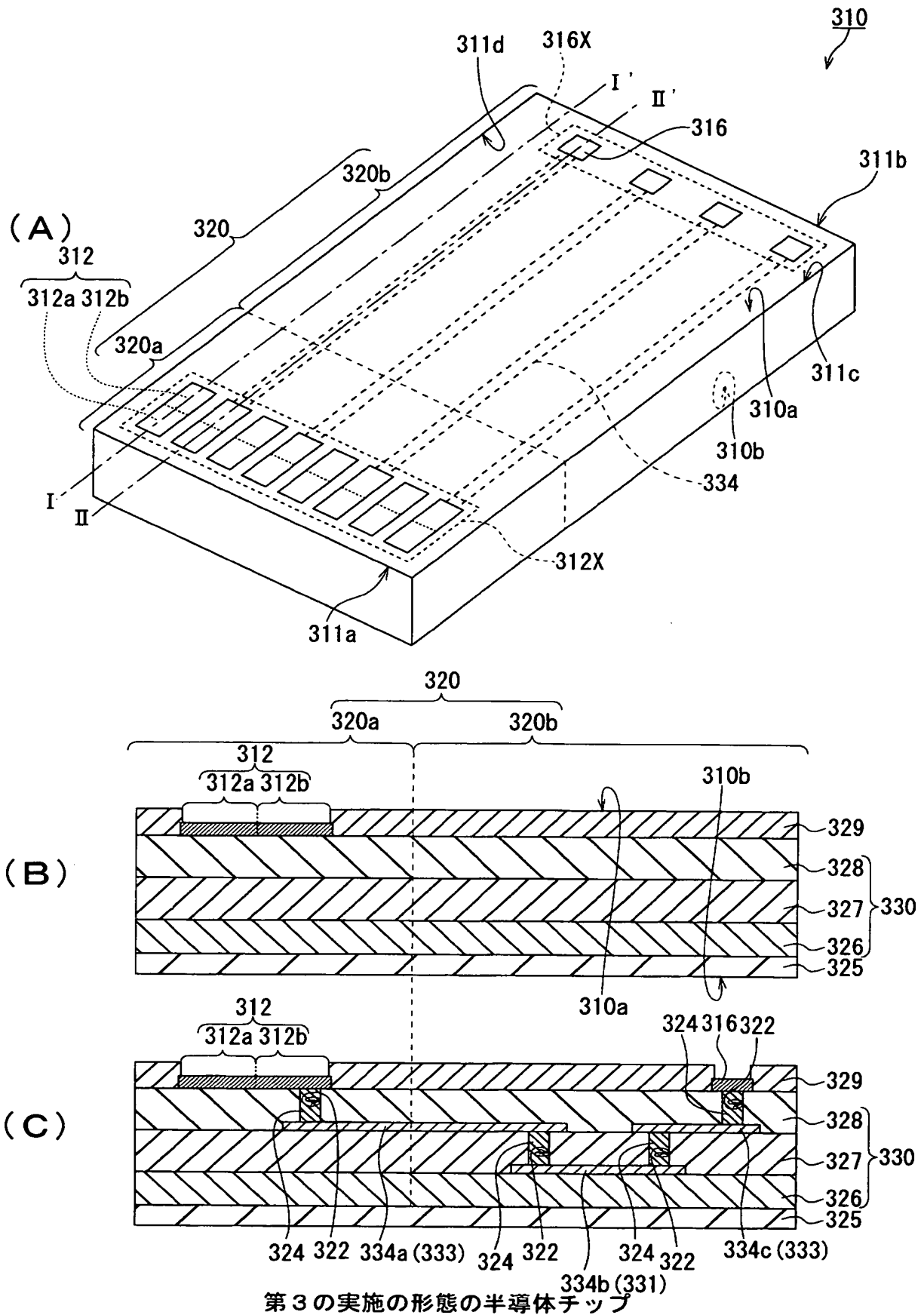


領域Hの部分拡大図

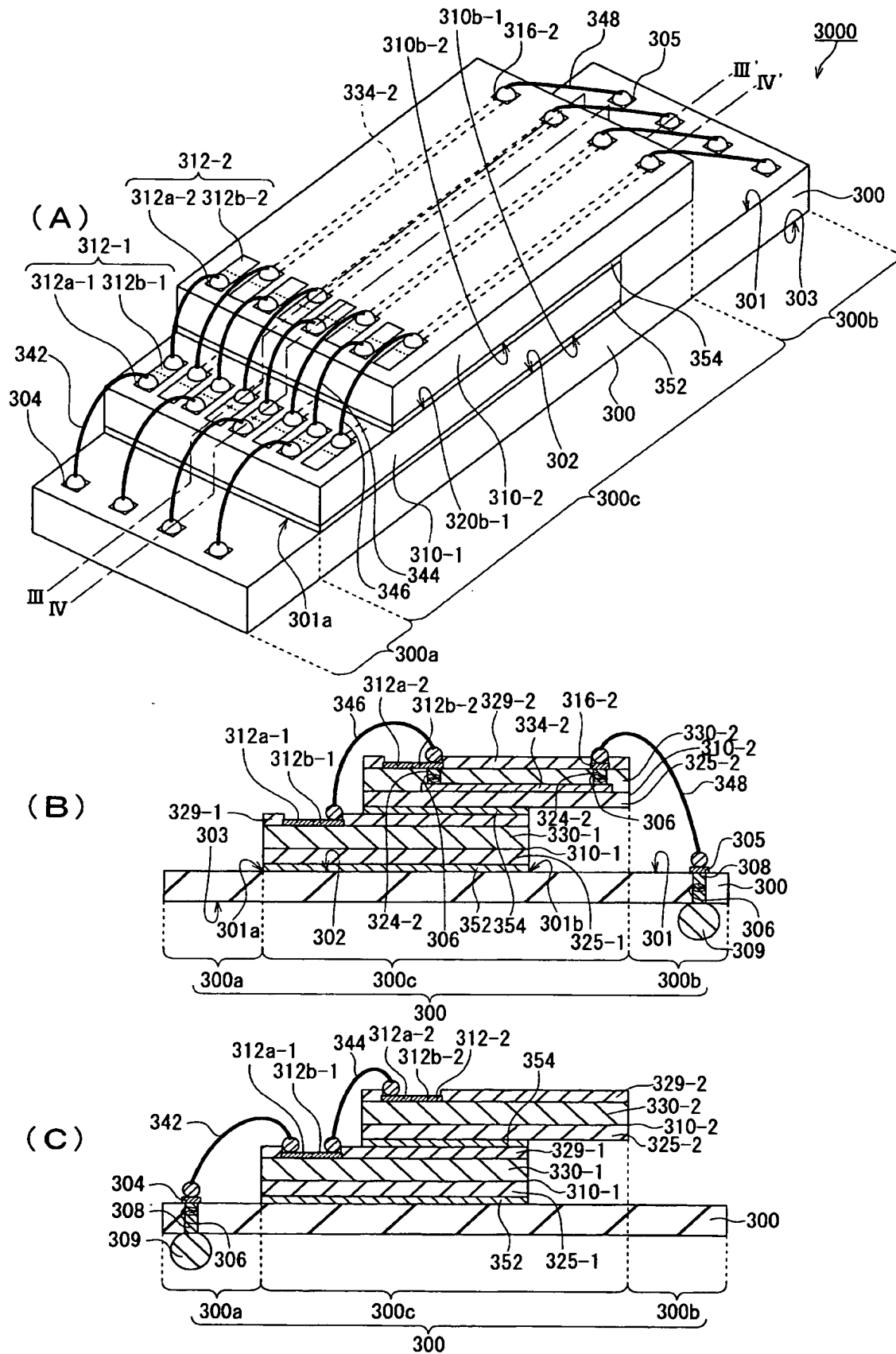
【図 8】



【図 9】



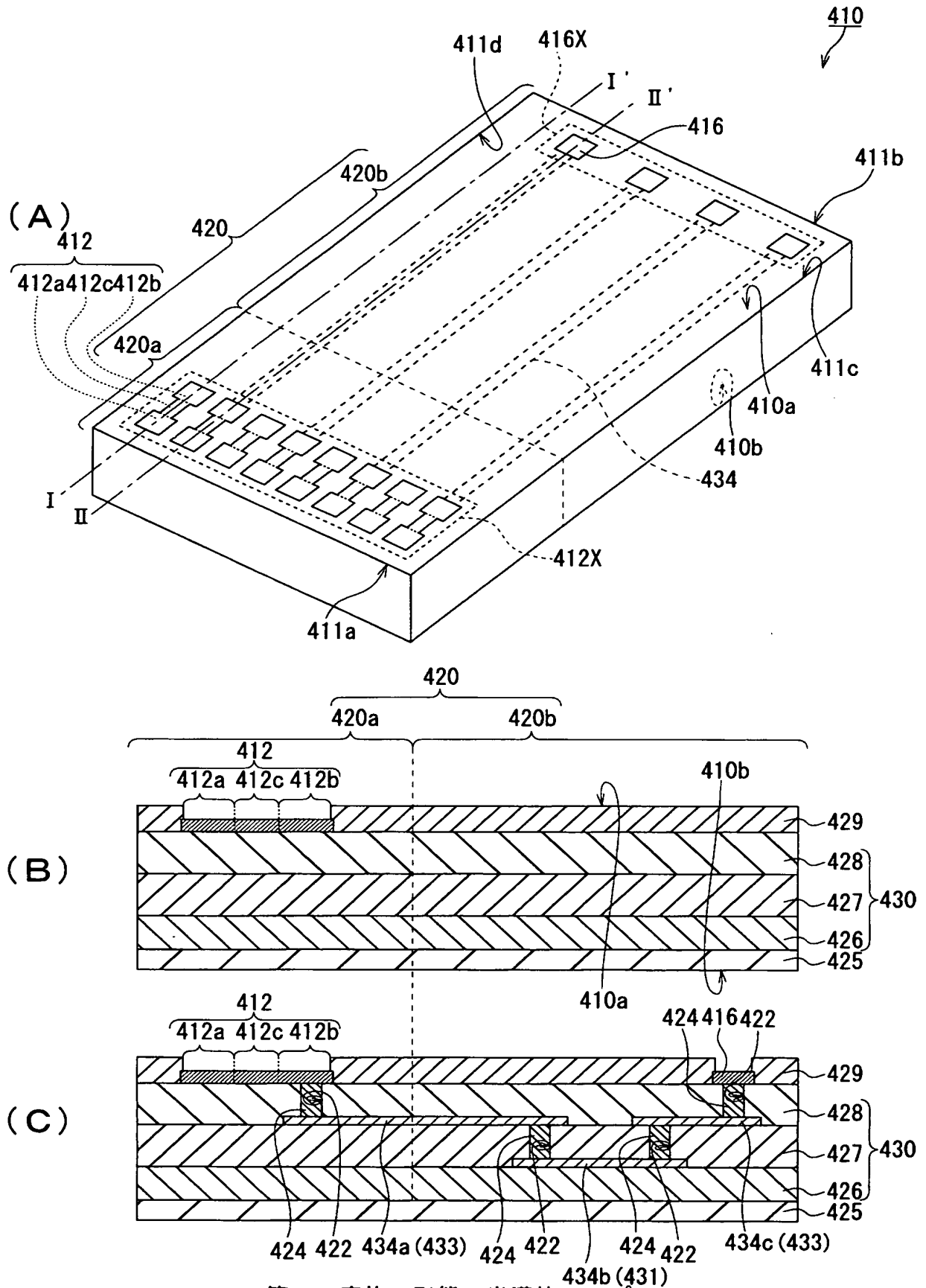
【図 10】



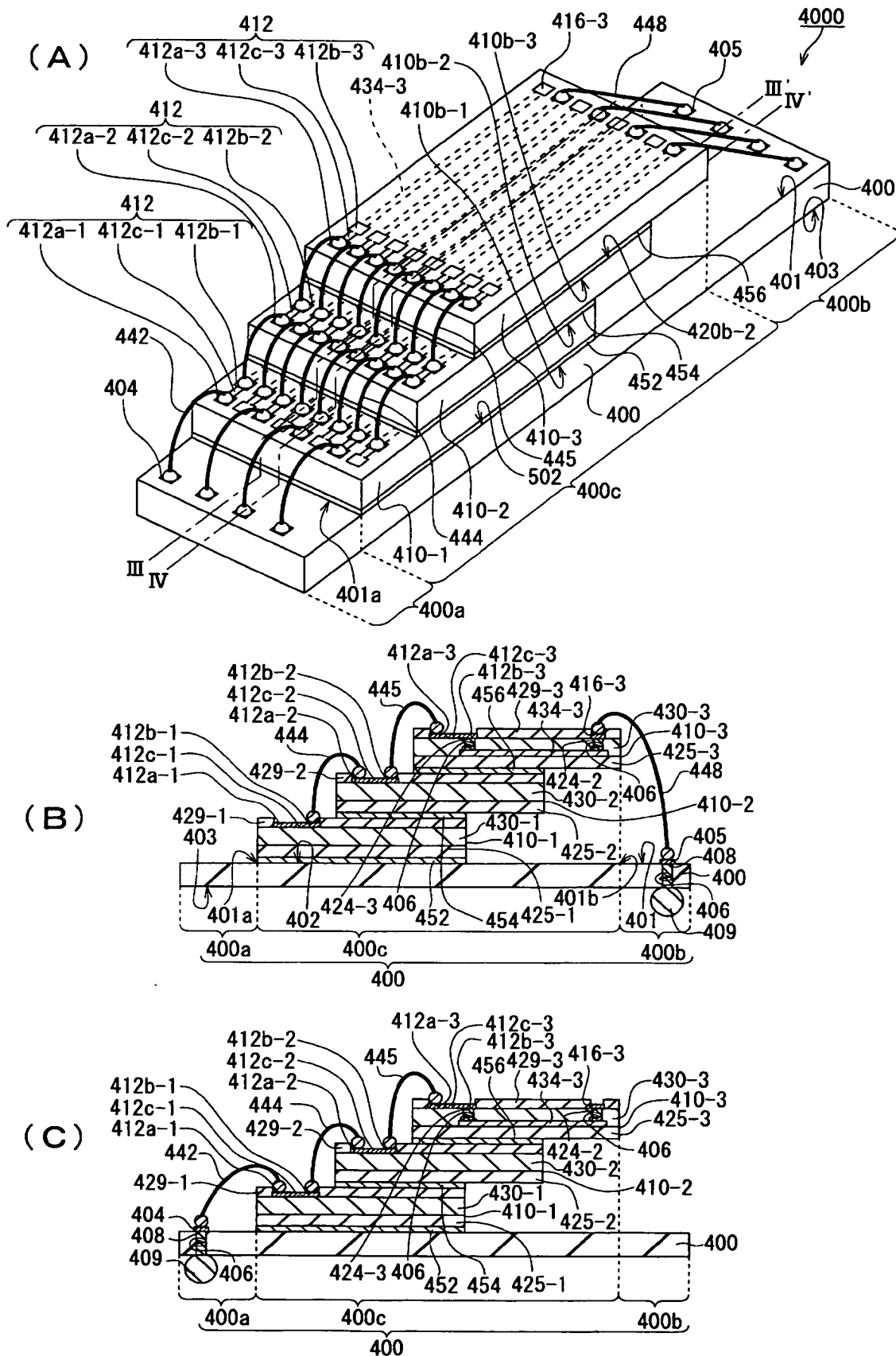
第 3 の実施の形態の半導体チップの積層例



【図 12】

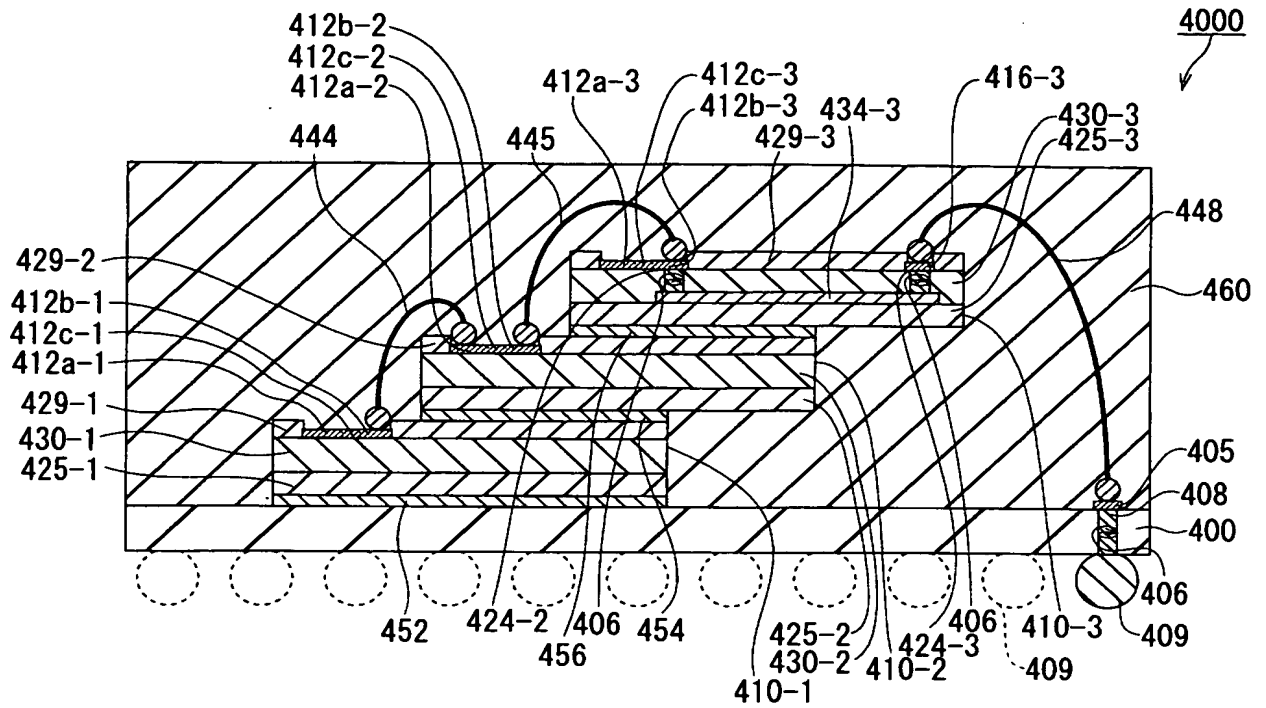


【図 13】



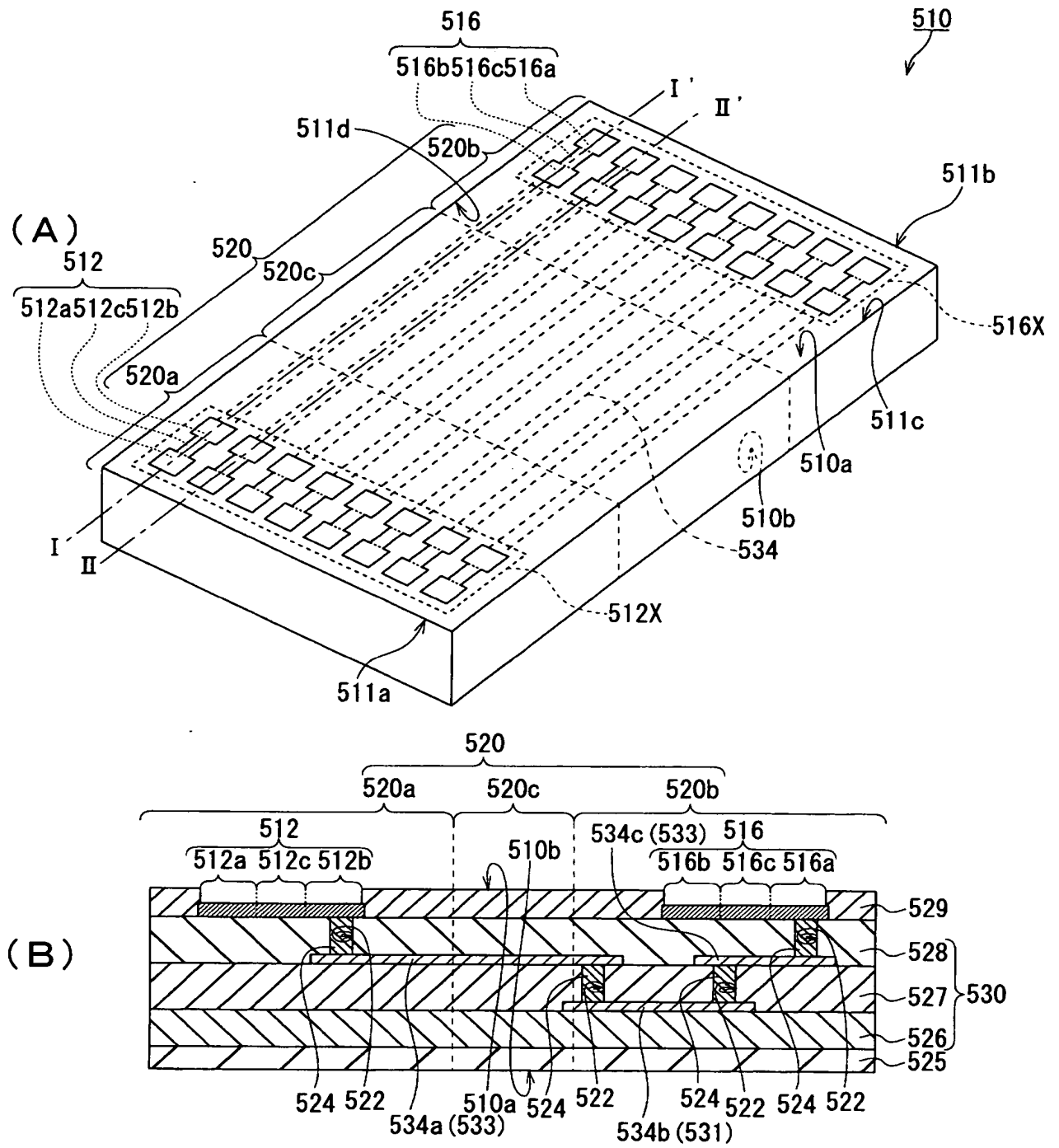
第4の実施の形態の半導体チップの積層例

【図 14】

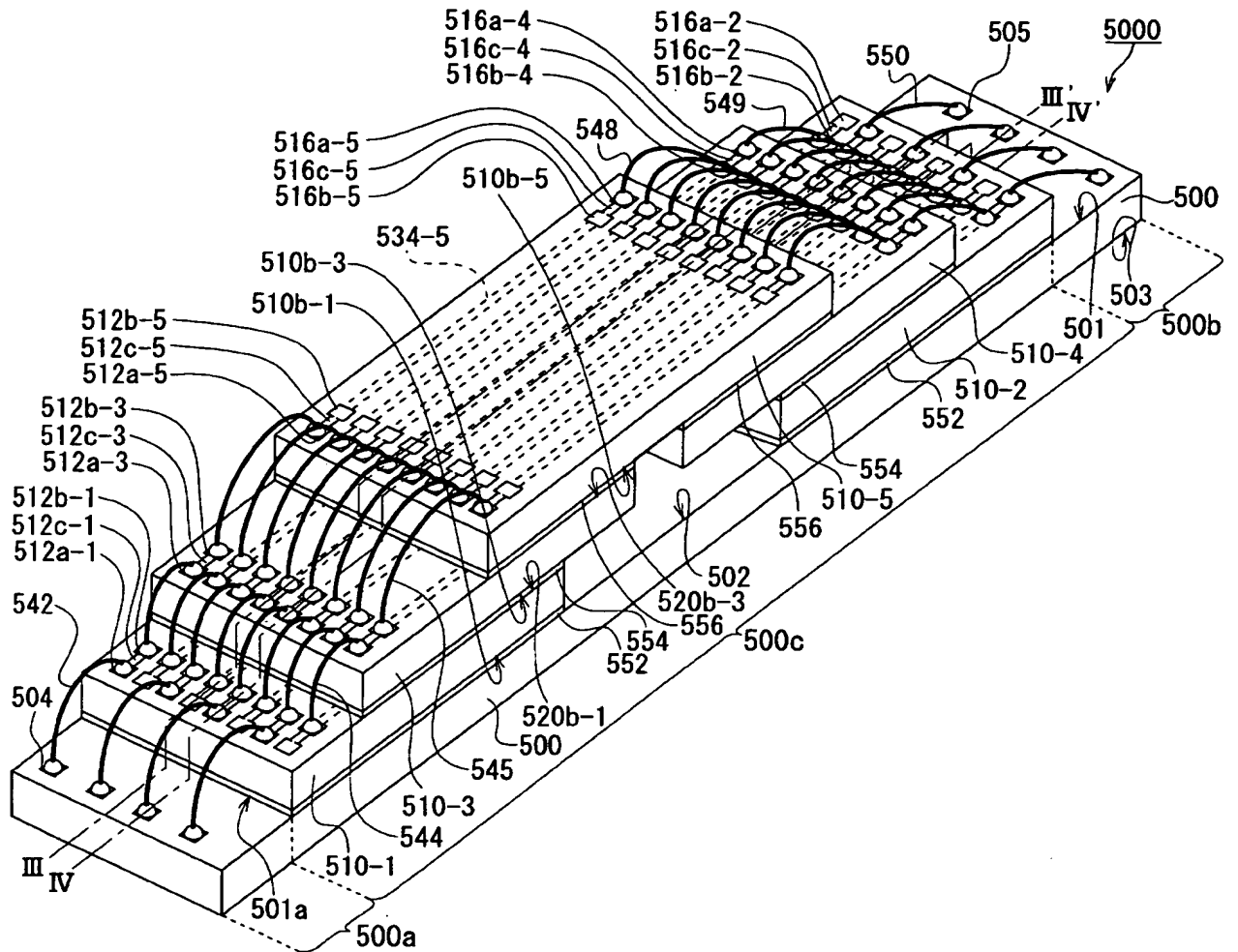


第 4 の実施の形態の半導体チップのパッケージ例

【図 15】

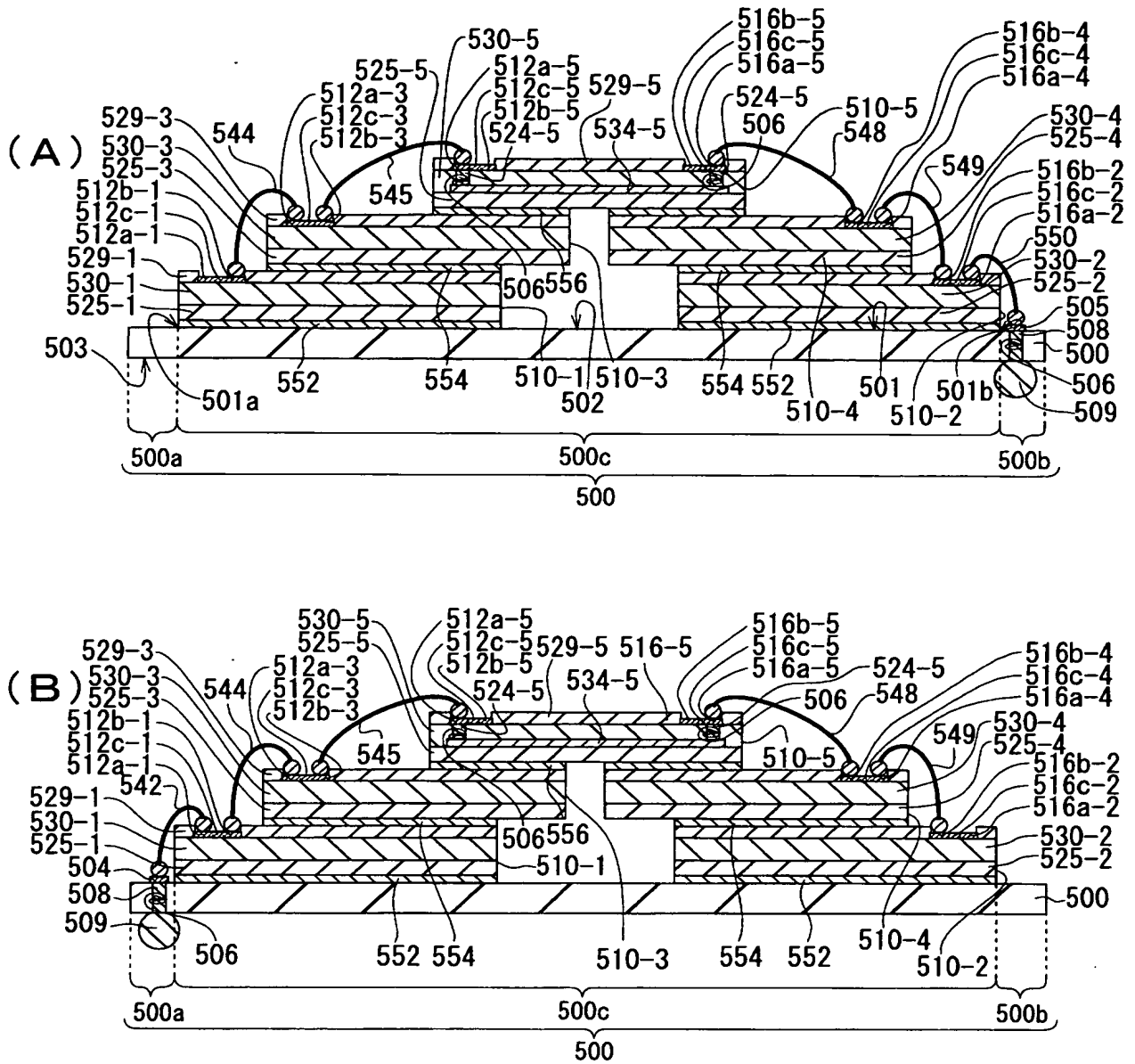


【図 16】



第 5 の実施の形態の半導体チップの積層例

【図 17】



第5の実施の形態の半導体チップの積層例



**【書類名】 要約書****【要約】**

**【課題】** ボンディングワイヤ同士の接触による短絡を防止し、かつ装置を小型化する。

**【解決手段】** 主面 1 1 0 a が方形状で形成される半導体チップ 1 0 0 であって、主面を構成する第 1 の辺と、第 1 の辺 1 1 1 a と対向する第 2 の辺 1 1 1 b と、第 1 の辺に沿って、主面に配置される複数の主電極パッド 1 1 2 からなる主電極パッド群 1 1 2 X と、第 1 の辺及び主電極パッド群の間に配置される複数の第 1 電極パッド 1 1 4 からなる第 1 電極パッド群 1 1 4 X と、第 2 の辺に沿って主面に配置される複数の第 2 電極パッド 1 1 6 からなる第 2 電極パッド群 1 1 6 X と、主電極パッド及び第 1 電極パッドを接続する第 1 パッド間配線 1 3 2 と、主電極パッド及び第 2 電極パッドを接続する第 2 パッド間配線 1 3 4 とを具えている。

**【選択図】** 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 7 2 2 6 5
受付番号	5 0 3 0 1 8 1 1 7 0 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 1 月 4 日

< 認定情報・付加情報 >

【提出日】	平成 15 年 10 月 31 日
-------	-------------------

特願 2003-372265

出願人履歴情報

識別番号

[000000295]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社